

PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

To:

OHT, INC.
1118-1, Aza-Nishichujo
Kannabe-cho
Fukayasu-gun
Hiroshima 720-2103
JAPON

Date of mailing (day/month/year) 21 March 2001 (21.03.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference OHTPCT6	International application No. PCT/JP01/01243

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

OHT, INC. (for all designated States except US)

FUJII, Tatuhsa et al (for US)

International filing date : 21 February 2001 (21.02.01)
Priority date(s) claimed : 22 February 2000 (22.02.00)
Date of receipt of the record copy
by the international Bureau : 09 March 2001 (09.03.01)
List of designated Offices :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR
National : CA, CN, KR, SG, US


ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
☒ confirmation of precautionary designations
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer: Susumu Kubo 
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38



INFORMATION ON TIME LIMITS FOR ENTERING THE NATIONAL PHASE

The applicant is reminded that the "national phase" must be entered before each of the designated Offices indicated in the Notification of Receipt of Record Copy (Form PCT/IB/301) by paying national fees and furnishing translations, as prescribed by the applicable national laws.

The time limit for performing these procedural acts is **20 MONTHS** from the priority date or, for those designated States which the applicant elects in a demand for international preliminary examination or in a later election, **30 MONTHS** from the priority date, provided that the election is made before the expiration of 19 months from the priority date. Some designated (or elected) Offices have fixed time limits which expire even later than 20 or 30 months from the priority date. In other Offices an extension of time or grace period, in some cases upon payment of an additional fee, is available.

In addition to these procedural acts, the applicant may also have to comply with other special requirements applicable in certain Offices. **It is the applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most designated Offices do not issue reminders to applicants in connection with the entry into the national phase.

For detailed information about the procedural acts to be performed to enter the national phase before each designated Office, the applicable time limits and possible extensions of time or grace periods, and any other requirements, see the relevant Chapters of Volume II of the PCT Applicant's Guide. Information about the requirements for filing a demand for international preliminary examination is set out in Chapter IX of Volume I of the PCT Applicant's Guide.

GR and ES became bound by PCT Chapter II on 7 September 1996 and 6 September 1997, respectively, and may, therefore, be elected in a demand or a later election filed on or after 7 September 1996 and 6 September 1997, respectively, regardless of the filing date of the international application. (See second paragraph above.)

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

CONFIRMATION OF PRECAUTIONARY DESIGNATIONS

This notification lists only specific designations made under Rule 4.9(a) in the request. It is important to check that these designations are correct. Errors in designations can be corrected where precautionary designations have been made under Rule 4.9(b). The applicant is hereby reminded that any precautionary designations may be confirmed according to Rule 4.9(c) before the expiration of 15 months from the priority date. If it is not confirmed, it will automatically be regarded as withdrawn by the applicant. There will be no reminder and no invitation. Confirmation of a designation consists of the filing of a notice specifying the designated State concerned (with an indication of the kind of protection or treatment desired) and the payment of the designation and confirmation fees. Confirmation must reach the receiving Office within the 15-month time limit.

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before that date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau or if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity to furnish the priority document within a time limit which is reasonable under the circumstances.

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit is the filing date of the earliest application whose priority is claimed.



PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

OHT, INC.
1118-1, Aza-Nishichujo
Kannabe-cho
Fukayasu-gun
Hiroshima 720-2103
JAPON

Date of mailing (day/month/year) 25 April 2001 (25.04.01)	
Applicant's or agent's file reference OHTPCT6	IMPORTANT NOTIFICATION
International application No. PCT/JP01/01243	International filing date (day/month/year) 21 February 2001 (21.02.01)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 22 February 2000 (22.02.00)
Applicant OHT, INC. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
22 Febr 2000 (22.02.00)	2000/44705	JP	17 Apr 2001 (17.04.01)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Tessadel PAMPLIEGA <i>Tdp</i> Telephone No. (41-22) 338.83.38
--	--



PCT

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 OHTPCT6	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JPO1/01243	国際出願日 (日.月.年) 21.02.01	優先日 (日.月.年) 22.02.00
出願人(氏名又は名称) オー・エイチ・ティー株式会社 OHT Inc.		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☒ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

- Int.Cl⁷ G01R 31/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G01R 31/02, 1/06-1/067, H05K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>A</u>	JP, 11-153638, A (日本電産リード株式会社) 6. 8月. 1999 (06. 08. 99) 全文, 第1図 (ファミリーなし)	<u>1-14</u>
<u>A</u>	US, 5254953, A (Hewlett-Packard Company) 19. 10月. 1993 (19. 10. 93) 全文, 第1図, 第5図 & JP, 6-34714, A&EP, 573159, A	<u>1-14</u>

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

02. 05. 01

国際調査報告の発送日

15.05.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾崎 淳史

2T 8907

電話番号 03-3581-1101 内線 6230

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
<u>A</u>	US, 5426372, A (GenRad, Inc.) 20. 6月. 1995 (20. 06. 95) 全文, 第2図, 第7図 & JP, 7-167906, A&EP, 636887, A	<u>1-14</u>

特許協力条約

発信人 日本国特許庁（受理官庁）

出願人

オー・エイチ・ティー株式会社

殿

あて名

〒720-2103

広島県深安郡神辺町字西中条1118番地の
1

PCT/JP01/01243

RO105

P C T

国際出願番号及び 国際出願日の通知書

（法施行規則第22条、第23条）
〔PCT規則20.5(c)〕

発送日（日．月．年）

06.03.01

出願人又は代理人
の書類記号

OHTPCT6

重 要 な 通 知

国際出願番号

PCT/JP01/01243

国際出願日（日．月．年）

21.02.01

優先日（日．月．年）

22.02.00

出願人（氏名又は名称）

オー・エイチ・ティー株式会社

1. この国際出願は、上記の国際出願番号及び国際出願日が付与されたことを通知する。

記録原本は、06日03月01年に国際事務局に送付した。

注 意

- 国際出願番号は、特許協力条約を表示する「PCT」の文字、斜線、受理官庁を表示する2文字コード（日本の場合JP）、西暦年の最後から2桁の数字、斜線、及び5桁の数字からなっています。
- 国際出願日は、「特許協力条約に基づく国際出願に関する法律」第4条第1項の要件を満たした国際出願に付与されます。
- あて名等を変更したときは、速やかにあて名の変更届等を提出して下さい。
- 電子計算機による漢字処理のため、漢字の一部を当用漢字、又は、仮名に置き換えて表現してある場合もありますので御了承下さい。
- この通知に記載された出願人のあて名、氏名（名称）に誤りがあるときは申出により訂正します。
- 国際事務局は、受理官庁から記録原本を受領した場合には、出願人にその旨を速やかに通知（様式PCT/IB/301）する。記録原本を優先日から14箇月が満了しても受領していないときは、国際事務局は出願人にその旨を通知する。〔PCT規則22.1(c)〕

名称及びあて名

日本国特許庁（RO/JP）

郵便番号 100-8915 TEL 03-3592-1308

日本国東京都千代田区霞が関三丁目4番3号

様式PCT/RO/105（1998年7月）

権限のある職員

特 許 庁 長 官



送付手数料・調査手数料 90,000円

(出願人の書類記号 : OHTPCT6)

ご利用明細

ご利用いただき
ありがとうございます。

◎ 東京三菱銀行

年月日 130221	取扱店番 041103	受付通番 3990	お取引内容 お振込
銀行番号 支店番号 口座番号			
お取扱金額 *****			
お取引金額 ¥102,900			
お取引日 10.3		残高 ¥315	
東京三菱銀行 内幸町支店 普通 0473286 WIPO-PCT GENEVA様 オーイーティイ(カ)様 0849602120			

基本手数料 50,100円

指定手数料 52,800円

合 計 102,900円

(出願人の書類記号: OHTPCT6)



明細書

検査装置及びセンサ

5 技術分野

本発明は、回路基板の導電パターンの検査装置及びその検査装置用のセンサに関する。

背景技術

10 回路基板の製造においては、基板上に導電パターンを施した後、その導電パターンに断線や、短絡がないか否かを検査する必要がある。

従来から、導電パターンの検査手法としては、導電パターンの両端にピンを接触させて一端側のピンから導電パターンに電気信号を給電し、他端側のピンからその電気信号を受電することにより、導電パターンの導通テスト等を行う接触式の検査手法が知られている。

15 しかし、近年では、導電パターン高密度化により、各導電パターンに、ピンを同時に配置し接触させる十分な間隔がない状況となってきたため、ピンを用いずに、導電パターンと接触することなく電気信号を受信する非接触式の検査手法が提案されている（特開平9-264919号）。

20 この非接触式の検査手法は、図15のように、検査の対象となる導電パターンの回路配線の一端側にピンを接触させると共に、他端側にて導電パターンに非接触にセンサ導体を配置し、ピンに検査信号を供給することによる導電パターンの電位変化を、センサ導体が検出して導電パターンの断線等を検査するものである。即ち、その等価回路で示せば図16のようになり、センサ導体側に発生した電流を増幅回路で増幅した後、その電流の大きさから、導電パターンのセンサ導体と対向する位置の断線及び短絡を検知していた。

25 しかしながら、上記従来の非接触検査手法では、通常のプリント基板上の複数のパターン線を覆う程度の大きさの電極により、導電パターンからの電磁波を受信していた。このため、50 μ mレベルの回路パターンを分解能高く検査することは不可能であり、また、



比較的大きな導電パターンであっても、その欠けまでは検知することができなかった。

本発明は上記従来技術の課題を解決するためになされたもので、その目的とするところは、導電パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することにある。

5 発明の開示

上記目的を達成するため、本発明に係る装置は、

回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、

前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

10 前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

15 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

20 前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

25 前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲ



ートに接続し、前記第1 MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1 MOSFETのソース電位を前記第2 MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする。

前記トランジスタは、直列に配置された第1、第2 薄膜トランジスタであって、前記受動素子を前記第1 薄膜トランジスタのゲートに接続し、前記選択信号を前記第2 薄膜トランジスタのゲートに接続し、前記第1 薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1 薄膜トランジスタのソース電位を前記第2 薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする。

前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする。

前記トランジスタは電荷読出し用の MOSFET であって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする。

前記導体パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給 MOSFET のドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする。

前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする。

前記検出手段におけるセンサ要素は、前記受動素子の表面に接触する導体板を更に含むことを特徴とする。

回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、



前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

10 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、該電位変化に応じた検出信号を出力する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

15 前記検出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

20 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

25 更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする。



また、本発明に係るセンサは、
回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されるこ
とによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、

前記センサ要素は、

半導体の単結晶上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電
圧変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するト
ランジスタと、

を含むことを特徴とする。

図面の簡単な説明

図1は、本発明の第1の実施の形態に係るセンサ要素の構成を説明する図である。

図2は、本発明の第1の実施の形態に係る検査装置を利用した検査システムの概略図で
ある。

図3は、本発明の第1の実施の形態に係る検査装置の電氣的構成を示すブロック図であ
る。

図4は、本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変
化に応じて電流が発生する原理を説明するためのモデル図である。

図5は、本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変
化に応じて電流が発生する原理を説明するためのモデル図である。

図6は、本発明の第1の実施の形態に係るセンサ要素の入出力タイミングを示すタイミ
ングチャートである。

図7は、本発明の第1の実施の形態に係るセンサ要素の変形例を示す図である。

図8は、本発明の第2の実施の形態に係るセンサ要素の構成を説明する図である。

図9は、本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変



化に応じて電圧が出力される原理を説明するためのモデル図である。

図10は、本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電圧が出力される原理を説明するためのモデル図である。

図11は、本発明の第2の実施の形態に係るセンサ要素において、リセット信号入力時の動作を説明するためのモデル図である。

図12は、本発明の第2の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

図13は、本発明の第3の実施の形態に係るセンサ要素の構成を説明する図である。

図14は、本発明の第4の実施の形態に係るセンサ要素の構成を説明する図である。

図15は、従来の回路基板検査装置を説明する図である。

図16は、従来の回路基板検査装置を説明する図である。

発明を実施するための最良の形態

以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成要素の相対配置、数値等は、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

(第1の実施の形態)

本発明の第1の実施の形態として、MOSFETをセンサ要素として用いた検査装置1について説明する。

まず、検査装置1を利用した導電パターンの検査システムの一例を示す。図2は、検査装置1を利用した検査システム20の概略図である。

検査システム20は、回路基板100に施された導電パターン101を検査するための装置であって、検査装置1と、コンピュータ21と、導電パターン101に検査信号を供給するためのプローブ22と、プローブ22への検査信号の供給を切替えるセクタ23と、を備える。セクタ23は、例えば、マルチプレクサ、デプレクサ等から構成することができ。



コンピュータ 21 は、セクタ 23 に対してはプローブ選択のための制御信号及び導電パターン 101 に与える検査信号を供給し、検査装置 1 に対しては、セクタ 23 に供給した制御信号に同期して検査装置を動作させるための同期信号を供給する。また、コンピュータ 21 は、検査装置 1 からの検出信号を受信して、画像データを生成し、その画像データに基づいて、導電パターン 101 の断線、短絡、欠け等を検出する。更に、コンピュータ 21 は、各センサ要素 12a からの検出信号に基づいて、検査対象である導電パターンの画像をディスプレイ 21a に表示する機能を有する。

プローブ 22 は、その先端が、それぞれ回路基板 100 上の導電パターン 101 の一端に接触しており、導電パターン 101 に対して検査信号を供給する。

セクタ 23 は、検査信号を出力するプローブ 22 を切替える。回路基板 100 上の複数の独立した導電パターン 101 の一つずつに検査信号が供給されるように、コンピュータから供給された制御信号に基づき制御する。

検査装置 1 は、回路基板 100 の導電パターン 101 に対向する位置に非接触に配置され、プローブ 22 から供給された検査信号によって導電パターン 101 上に生じた電位変化を検出し、検出信号としてコンピュータ 21 へ出力する。検査装置 1 と導電パターンとの間隔は、0.05 mm 以下が望ましいが、0.5 mm 以下であれば可能である。

なお、図 2 の回路基板 100 では、片面側にのみ導電パターン 101 が設けられている場合を想定しているが、両面に導電パターン 101 が設けられている回路基板についても検査可能であり、その場合は、検査装置 1 を二つ用いて回路基板をサンドイッチするように配置して検査する。

図 3 は、検査装置 1 の電氣的構成を示すブロック図である。

検査装置 1 は、図 3 のような電氣的構成を持つセンサチップが不図示のパッケージに取付られた構成となっている。

検査装置 1 は、制御部 11 と、複数のセンサ要素 12a からなるセンサ要素群 12 と、センサ要素 12a の行の選択をするための縦選択部 14 と、センサ要素 12a の列の選択及び信号の取りだしを行う横選択部 13 と、各センサ要素 12a を選択するための選択信



号を発生するタイミング生成部15と、横選択部13からの信号を処理する信号処理部16と、信号処理部16からの信号をA/D変換するためのA/Dコンバータ17と、検査装置1を駆動するための電力を供給するための電源回路部18と、を備える。

5 制御部11は、コンピュータ21からの制御信号に従って、検査装置1の動作を制御するためのものである。

センサ要素12aは、マトリックス状（縦480×横640個）に配置され、プローブ22から導体パターン101に供給された検査信号に応じた導体パターン101上の電位変化を非接触で検出する。

10 タイミング生成部15は、コンピュータ21から垂直同期信号（Vsync）、水平同期信号（Hsync）及び基準信号（Clock）を供給され、縦選択部14及び横選択部13に、センサ要素12aを選択するためのタイミング信号を供給する。

15 縦選択部14は、タイミング生成部15からのタイミング信号に従って、センサ要素群12の少なくともいずれか一つの行を順次選択する。縦選択部14により選択された行のセンサ要素12aからは、検出信号が一度に出力され、横選択部13に入力される。横選択部13は、640個の端子から出力されたアナログの検出信号を増幅した後、一旦ホールドし、マルチプレクサ等の選択回路により、タイミング生成部15からのタイミング信号に従って、順番に信号処理部16に出力する。

信号処理部16は、横選択部13からの信号に対して、アナログ信号処理を行い、A/Dコンバータ17へ送出する。

20 A/Dコンバータ17は、信号処理部16からアナログ形式で送出された各センサ要素12aの検査信号を例えば8ビットのデジタル信号に変換し、出力する。

なお、ここでは、検査装置1にA/Dコンバータが内蔵されているが、信号処理部でアナログ処理されたアナログ信号をそのままコンピュータ21に出力してもよい。

25 次に、センサ要素12aの動作について説明する。図1は、一つのセンサ要素12aの構成を説明する図である。

センサ要素12aは、MOS型の半導体素子（MOSFET）であり、拡散層の一方の



表面積が他方の表面積よりも大きくなるように生成されている。表面積が大きい方の拡散層が受動素子となり、導体パターン101に対向している。この受動素子は、MOSFETのソースと連続している。ゲートは縦選択部14に接続されており、ドレインは横選択部13に接続されている。

5 また、受動素子の拡散層には不要電荷を吐き出すポテンシャル障壁が設けてある。

そして、タイミング生成部15により縦選択部14を介して、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、センサ要素12aはON（検出信号出力可能状態）となる。

10 この時、プローブ22から検査信号が出力されると、導体パターン101の電位が変化し、これに伴い、ソースからドレインへ電流が流れる。これが検出信号となって横選択部13を介して、信号処理部16へ送出される。なお、センサ要素12aに対向する位置に導体パターン101が存在しない場合には、電流は流れない。このため、検出信号としての電流出力があったセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、プローブ22と接触した電極から連続する導電パターン101が存在するかがわかる。

15 ここで、ソースからドレインへ電流が流れる原理について、更に詳しく説明する。図4、図5は、この原理を分かりやすく説明するためのモデル図であり、図4は、導体パターンの回路配線に電圧が印加されていない状態、図5は印加された状態を示す。これらの図は共に、選択信号がゲートに入力され、ゲートがONになっている状態を示している。

20 図4のように、回路配線に電圧が印加されていなければ、拡散層の余分な電荷が、OFFしているゲートの下の電位障壁のポテンシャルよりも低い吐き出しポテンシャル障壁から溢れ出る。その場合、ソースの電位は吐き出しのポテンシャルで確定する。

25 次に、図5のように、回路配線に電圧Vが印加されると、回路配線が+に帯電する（電位Vとなる）。ここで、回路配線と、ソース側拡散層とは、微小距離だけ離間しているため、対向するソース側拡散層は回路配線の電位変化の影響を受け、電位がVとなって電荷が流れ込む。即ち、回路配線とソース側拡散層とが静電容量結合しているように動作し、ソース側拡散層のポテンシャルが低くなって、電子が流れ込み、ソースからドレインに向かう



て電流が流れる。

回路配線が再びグランドに接続されると、ソース側拡散層のポテンシャルは元に戻り、余剰の電子は徐々に吐き出しポテンシャル障壁から逃がされる。

図6は、図1のようなMOSFETを用いた場合の入出力タイミングを示すタイミングチャートである。

図6に示すように、回路配線に電圧が印加されると、出力電流が得られる。ただし、電流は、電圧の印加と同時にピークを示し、その後指数関数的に減少するため、横選択部13では、電圧印加のタイミングに合わせて検出し、ホールドしている。

上述してきたように、センサ要素が、半導体の単結晶上に構成され、導電パターンに対し静電容量結合の対向電極として動作し、導電パターンの電位変化を検出する受動素子と、この受動素子と連続し、受動素子から出力された検出信号である出力電流を選択信号のゲート入力時に出力するMOS型トランジスタと、を備えたので、センサ要素を極微細に製造することができる。

つまり、現在確立されているトランジスタ製造技術をそのまま用いて、センサ要素群を製造できるため、センサ要素自体も、その間隔も超微細にすることができる。これにより、回路基板上にプリントされた導電パターンの形状を高解像度に表現することができ、その欠け等も的確に検知することができる。また、センサ要素群を製造するのに、特別な製造装置を必要としないため、生産性が著しく向上するという効果を奏する。

なお、検査装置1では、回路基板100の形状に合わせて、各センサ要素12aを平面的に配置しているが、立体的に配置してもよい。

各センサ要素12aの形状は、図3に示すように全て形状を統一することが望ましい。これは、導電パターンへの検査信号の供給及び導電パターンに現れる信号の受信を、各センサ要素12aでムラ無く行うためである。

また、各センサ要素12aは、図3に示すように、行方向及び列方向にそれぞれ等間隔に配列されたマトリックス状に構成することが望ましい。そうすれば、導電パターンに面する単位面積あたりのセンサ要素12aの数のムラを低減することができると共に、各セ



ンサ要素12a間の相対的な位置関係を明らかにし、検出信号による導電パターンの形状の特定を容易化することができるからである。但し、検査する導電パターンの形状等に応じて、単に1列分だけ配置するようにしてもよい。

検査装置1では、センサ要素12aは、480行640列の配列としているが、これは本実施形態において便宜的に定めたものであり、現実には、例えば、5乃至5 μ m角に20万から200万個のセンサ要素を配置することもできる。このようにセンサ要素12aの大きさ、間隔等を設定するにあたっては、より正確な検査を実現すべく、導電パターンの線幅に応じた大きさ、間隔を設定することが望ましい。

ここでは、NチャネルMOSFETをセンサ要素としたが、本発明はこれに限定されるものではなく、PチャネルMOSFETを用いてもよい。

図1で、受動素子をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、非晶質半導体であってもよい。

更に、図7のように、受動素子としてのソース側拡散層上に、導電板71をオーミックコンタクトさせてもよく、このようにすれば、受動素子表面の電気伝導度を高く、すなわち、受動素子表面近傍に信号電荷を集中させることができ、信号電荷密度を高くすることができるため、静電容量結合をより強くすることができる。

導電板71は、金属の薄膜であっても多結晶半導体であってもよい。

(第2の実施の形態)

次に図8乃至図12を用いて、本発明の第2の実施の形態としての検査装置について説明する。

本実施の形態の検査装置は、センサ要素として、半導体の拡散層を回路配線からの信号受信素子とした電荷電圧変換回路を用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図上では、同じ構成要素を同じ符号を付して示す。

図8は、本実施の形態に係るセンサ要素12aの構成を説明する図である。

本実施の形態に係るセンサ要素12aも、上記第1の実施の形態に係るセンサ要素と同

様に、受動素子80として、比較的表面積の大きな拡散層を備えている。受動素子80は、MOSFET81のゲート及び、MOSFET82のソースに接続されている。また、MOSFET81のドレインには電源回路部18から電圧VDDが印加されており、MOSFET81のソースは、MOSFET83のドレインに接続されている。MOSFET82のゲートには、縦選択部14からのリセット信号が入力され、MOSFET82のドレインには、電源回路部18から電圧VDDが印加されている。MOSFET83のゲートには、縦選択部14から選択信号が入力され、MOSFET83のソースからの出力は、横選択部13に入力される。

ここで、受動素子80が検出した導体パターン101の電位変化が、MOSFET83のソースからの出力電圧に変換される原理について、更に詳しく説明する。図9、図10は、この原理を分かりやすく説明するためのモデル図であり、図9は、導体パターンの回路配線に電圧が印加されていない状態、図10は印加された状態を示す。これらの図は共に、選択信号がMOSFET83のゲートに入力され、ゲートがONになっている状態を示している。

図9のように、回路配線に電圧が印加されていなければ、受動素子80内の電子は、拡散層のポテンシャルに閉じ込められており、MOSFET81のゲートには、L₀の電圧が印加される。従って、ソースフォロワ動作するMOSFET81のソース側は、MOSFETのしきい値電圧だけゲートより低い電位が出力される。

次に、図10のように、回路配線に電圧Vが印加されると、対向する受動素子80は、回路配線の電位変化の影響を受け、その表面に電子が集まろうとするが、流入する電子が無い場合、もともと存在した電子が表面近くに密集し、表面ポテンシャルを下げる。つまり電位が上昇する。MOSFET81のゲートは、受動素子80の表面と接続されているため、H_iの電圧が印加されることになり、ソースフォロワ動作するMOSFET81のソース側は、MOSFETのしきい値電圧だけゲートより低い電位が出力されるが、前述の回路配線に電圧を印加しない場合よりも高い電圧が出力される。

回路配線が再びグランドに接続されると、受動素子80内の電子は、再び分散し、MO



S F E T 8 1 のゲートの電位はL 0 となる。

このように、回路配線に対する電圧のO N / O F F の切替えだけでは、理論上は、受動素子 8 0 内の全電荷量は変化しない。しかし、実際には、受動素子 8 0 の周囲から電子が侵入することがあり、これを放置しておけば、回路配線に電圧が印加されていない状況で
5 の受動素子のポテンシャルが上昇し、電位が下がる。つまり、その雑音電子によって発生する雑音電位が、オフセット電位として受信信号に重なり経時変化する。そこで、図 1 1 のように、M O S F E T 8 2 のゲートにリセット信号を入力し、電源と、受動素子 8 0 とを導通させて、受動素子 8 0 内の余分な電子を逃がしてやり、電位を一定に保っている。

図 1 2 は、図 8 のような M O S F E T 回路を用いた場合の入出力タイミングを示すタイ
1 0 ミングチャートである。

図 1 2 に示すように、選択信号をO N にした後、リセット信号を一定時間O N にして、受動素子 8 0 の電位の経時変化を抑える。このとき、M O S F E T 8 1 のゲートの電位が上昇し、M O S F E T 8 3 のドレインからの出力電圧も少し大きくなる。これをリセット信号のカップリングノイズと呼ぶ。リセット信号をO F F にした後、今度は回路配線に電
1 5 圧Vを印加する。回路配線に電圧Vが印加されると、M O S F E T 8 3 のドレインからの出力電圧はH i となり、そのセンサ要素 1 2 a に対向する位置に回路配線が存在することがわかる。

ただし、カップリングノイズを出力電圧と誤って検出しないように、出力電圧の検出タイ
ミングを調整し、又は、ハイパスフィルタを通してしている。

このように、センサ要素に、図 8 のような電荷電圧変換回路を用いたので、増幅した電
2 0 圧の形で検出信号を取り出すことができ、検出信号を明確に識別できるので、より正確な回路基板の検査を行なうことができる。

なお、リセット信号の入力タイミングは、図 1 2 に示したタイミングに限定されるわけ
ではなく、他のタイミングであってもよい。

また、図 8 で、受動素子 8 0 をn型拡散層としたが、これに限定されるものではなく、
2 5 比較的導電率の高い材料であれば、金属の薄膜や、多結晶半導体であっても、非晶質半導



体であってもよい。

(第3の実施の形態)

次に図13を用いて、本発明の第3の実施の形態としての検査装置について説明する。

本実施の形態の検査装置は、センサ要素として、バイポーラトランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

図13は、本実施の形態に係るセンサ要素の構成を説明する図である。

導体パターンの電位変化を検出する受動素子は、抵抗素子からなり、その抵抗素子と、バイポーラトランジスタのエミッタが接続されている。また、ベースには縦選択部14からの選択信号が入力され、コレクタから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。

このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とほぼ同様である。ベースに選択信号が印加されると、バイポーラトランジスタのエミッタであるN⁺拡散層とコレクタであるN⁺拡散層とが導通し、回路配線の電位が上昇して抵抗素子のP拡散層に電子が集まることによって、コレクタから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合わせて信号処理部16に入力される。

このように、センサ要素にバイポーラトランジスタを用いれば、検出信号を出力を高速に、且つ正確に行なうことができる。

尚、ここでは、npn型のバイポーラトランジスタを用いたが、pnp型であってもかまわない。

(第4の実施の形態)

次に図14を用いて、本発明の第4の実施の形態としての検査装置について説明する。

本実施の形態の検査装置は、センサ要素として、TFT等の薄膜トランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して



示す。

図14は、本実施の形態に係るセンサ要素の構成を説明する図である。

5 導体パターンの電位変化を検出する受動素子80は、クロム等の電極であって、この電極と薄膜トランジスタのソースとが連続している。また、ゲートには縦選択部14からの選択信号が入力され、ドレインから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。ソースとドレインの下層には、アモルファスSi又は多結晶-Si等の薄膜半導体層が存在する。

10 このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とほぼ同様である。ゲートに選択信号が印加されると、ゲートの下の半導体層にチャネルが発生し、薄膜トランジスタのソースとドレインとが導通する。そして、回路配線の電位が上昇して受動素子80としての電極に電子が集まることによって、ドレインから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合せて信号処理部16に入力される。

15 このようにセンサ要素に薄膜トランジスタを用いれば、センサ要素の生産性を向上し、また、センサアレイの面積をより大きくすることができる。

尚、上記第2の実施の形態に示した電荷電圧変換回路において、MOSFETを全てこの薄膜トランジスタに置換えることもでき、その場合も同様の効果を得ることができる。

(その他の実施の形態)

20 上記第1、第3又は第4の実施の形態に示したセンサ要素に、流れ込んだ電子を保持する機能を持たせてもよい。

つまり、受動素子に、電子が溜まる構造にすれば、溜まった電子は、リセットMOSで電源に吸い上げられるまで保持される。このため、センサ要素を選択して、回路配線に検査信号としての電圧を印加しはじめた直後から、そのセンサ要素をリセットするまでに、検出信号である出力電流を検出すればよい。即ち、図6を用いて説明したように、電圧の印加と出力電流の検出のタイミングを合せる必要がない。

25 更に、溜まった電子を順番に隣のセンサ要素に送るように電荷転送素子を用いてもよい。

電荷転送素子には例えばCCDが挙げられる。

5 この場合、トランジスタとして電荷読出し用のMOSFETを用い、受動素子とソースとしての拡散層を連続させ、選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送すればよい。

更に、導体パターンの電位変化に対応して受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、受動素子の拡散層と連続させて形成すれば、安定した電荷転送が可能となる。

10 また、電荷転送素子を用いれば、横選択部で、マルチプレクサ等のスイッチング回路を用いる必要はなくなる。

なお、上記実施の形態では、いずれも、導体パターンの回路配線に、直流電圧を印加するかのように表現したが、本発明はこれに限定されるものではなく、回路配線に交流電圧を印加してもよい。

15 また、上記実施の形態のセンサ要素は、いずれも半導体センサであるため、光の照射によって光電変換が起こり、電子を発生することがある。これは、誤動作の原因となるため、センサ要素の周りを遮光することが望ましい。

産業上の利用可能性

20 本発明によれば、導体パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することができる。

請求の範囲

1. 回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、

5 前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、
前記センサ要素を選択するための選択信号を出力する選択手段と、
を備え、

前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

10 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

15 2. 前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

3. 前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

20 4. 前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲートに接続し、前記第1MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1MOSFETのソース電位を前記第2MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

25 5. 前記トランジスタは、直列に配置された第1、第2薄膜トランジスタであって、前記



受動素子を前記第1薄膜トランジスタのゲートに接続し、前記選択信号を前記第2薄膜トランジスタのゲートに接続し、前記第1薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1薄膜トランジスタのソース電位を前記第2薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

6. 前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする請求項1に記載の検査装置。

7. 前記トランジスタは電荷読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする請求項1に記載の検査装置。

8. 前記導体パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする請求項7に記載の検査装置。

9. 前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする請求項1乃至8のいずれか一つに記載の検査装置。

10. 前記検出手段におけるセンサ要素は、

前記受動素子の表面に接触する導体板を更に含むことを特徴とする請求項1乃至9のいずれか一つに記載の検査装置。

11. 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、



前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

10 12. 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、該電位変化に応じた検出信号を出力する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

15 前記検出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

20 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

25 13. 更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする請求項1乃至12のいずれか一つに記載の検査装置。



1 4. 回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、

前記センサ要素は、

半導体の単結晶上に構成され、

5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電圧変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とするセンサ。



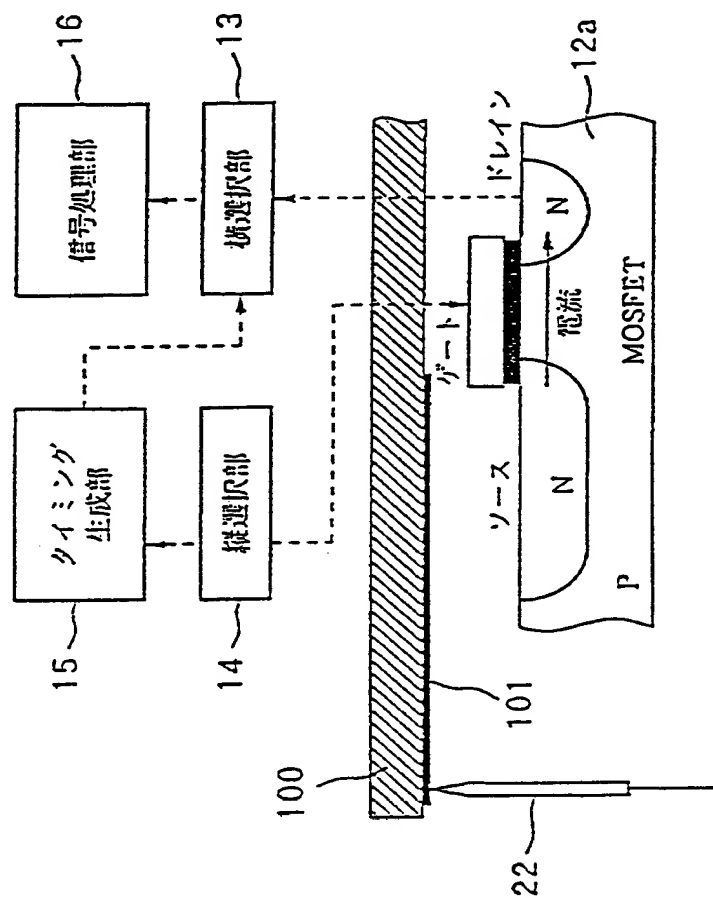
要約書

導体パターンの形状を精細に検査すること。

5 センサ要素12aは、MOSFETを含み、表面積が大きい方の拡散層が受動素子となり、導体パターン101に対向している。この受動素子は、MOSFETのソースと連続し、ゲートは縦選択部14に接続され、ドレインは横選択部13に接続されている。タイミング生成部15により、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、MOSFETはONとなる。この時、プローブ22から検査信号が出力されると、導体パターン101の電位が変化し、これに伴い、ソースからドレインへ電流
10 が流れ、横選択部13を介して、信号処理部16へ送出される。検出信号を出力したセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、導電パターン101が存在するかがわかる。

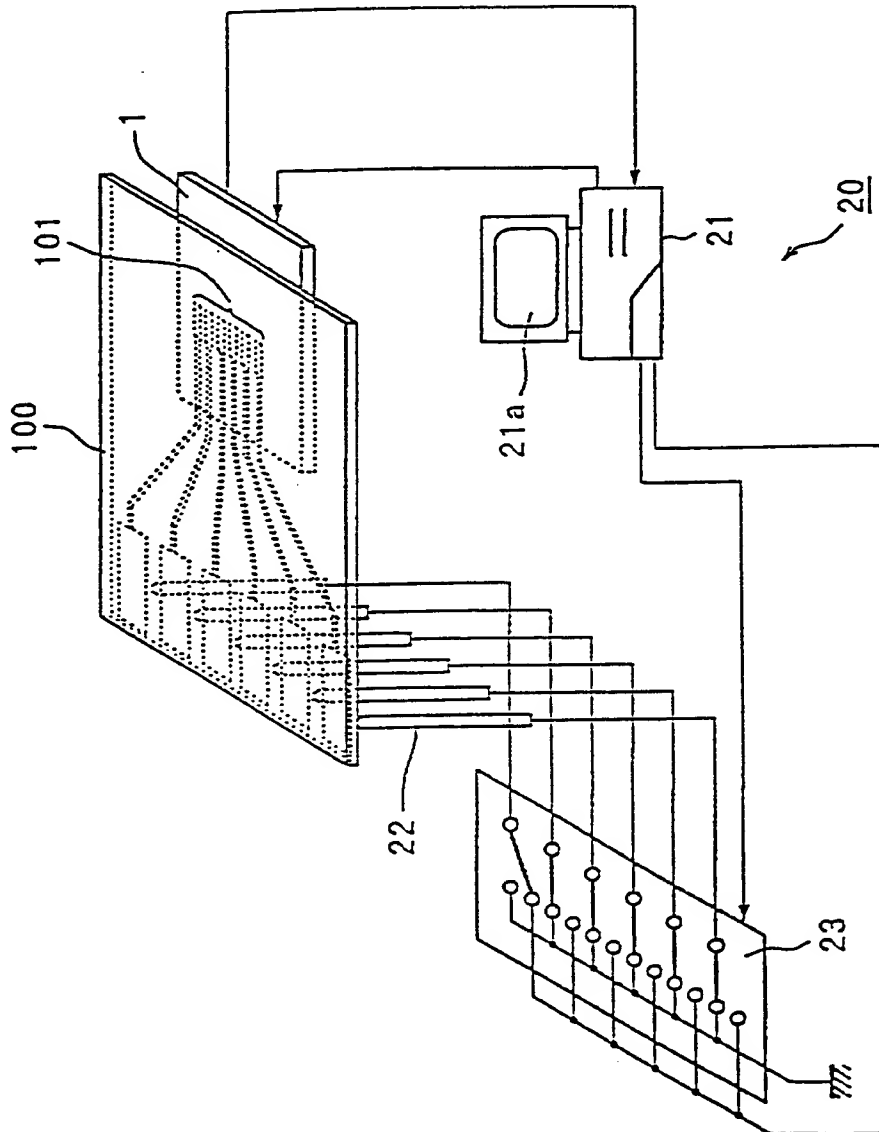


第1図



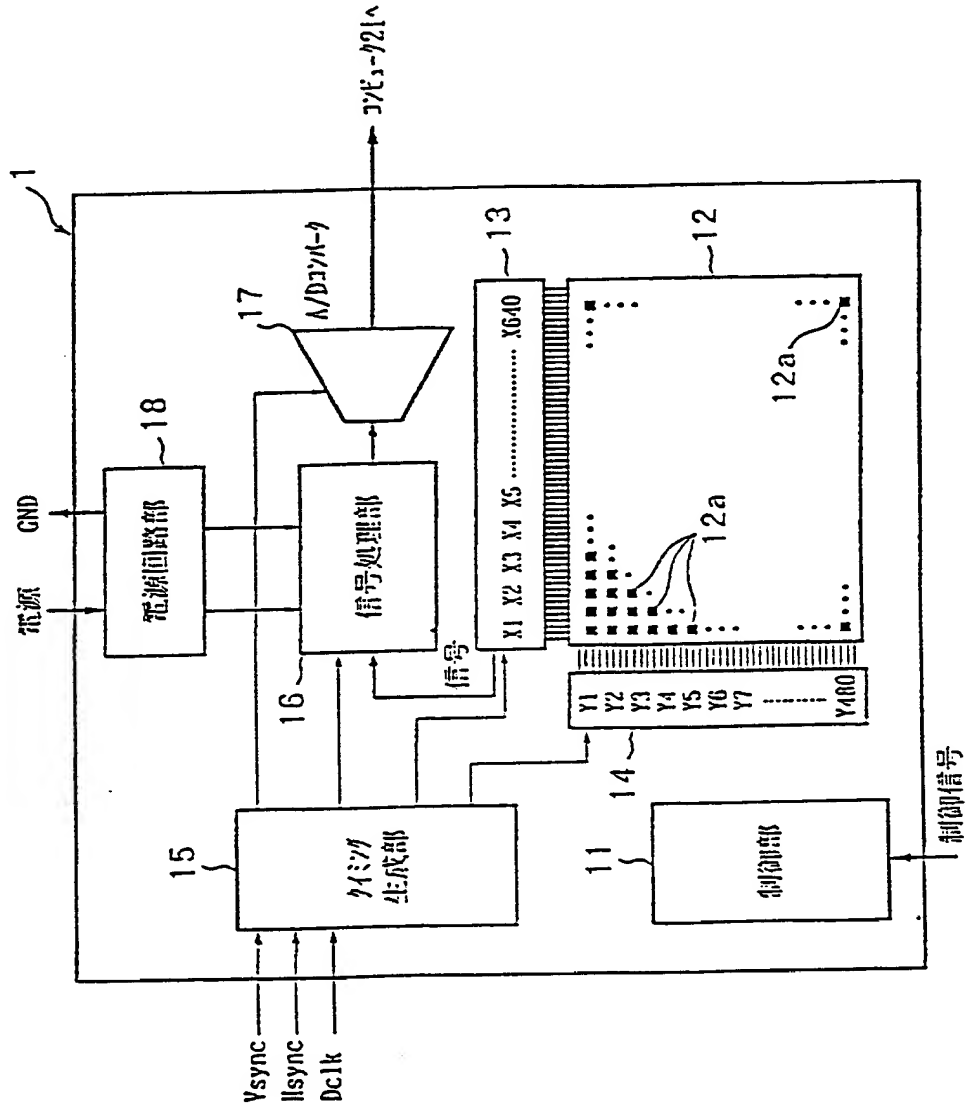


第2図



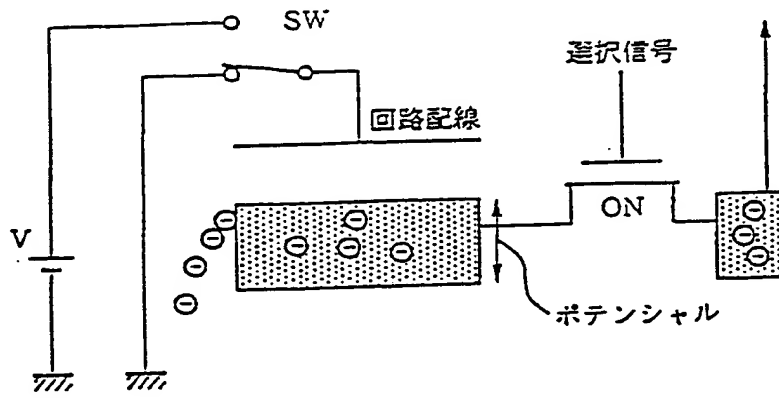


第3図

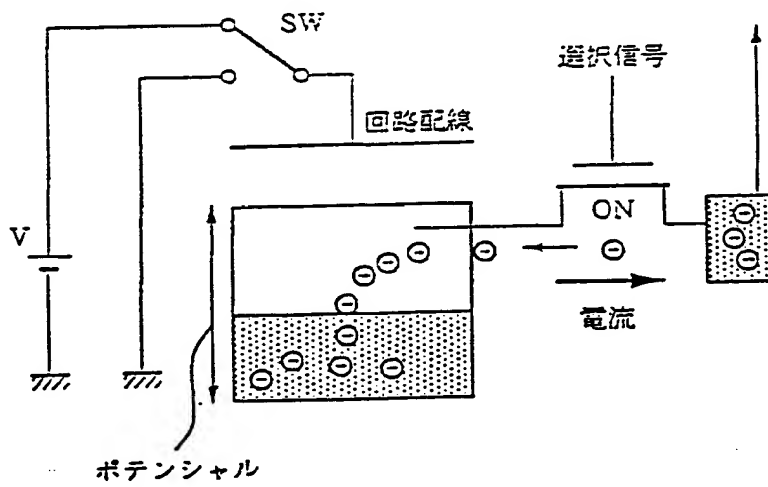




第4図

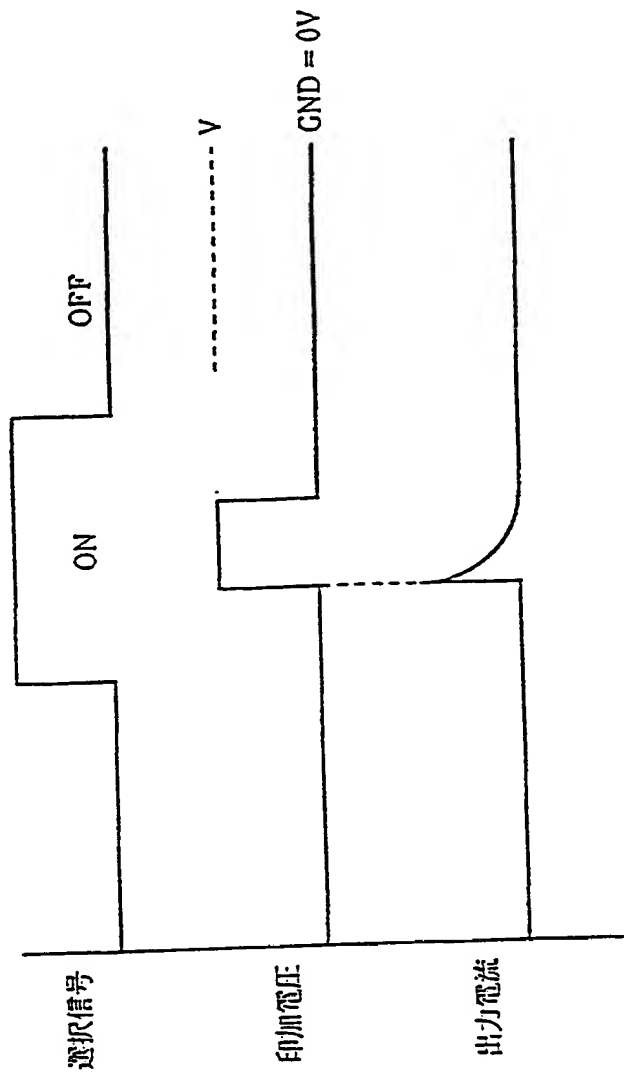


第5図



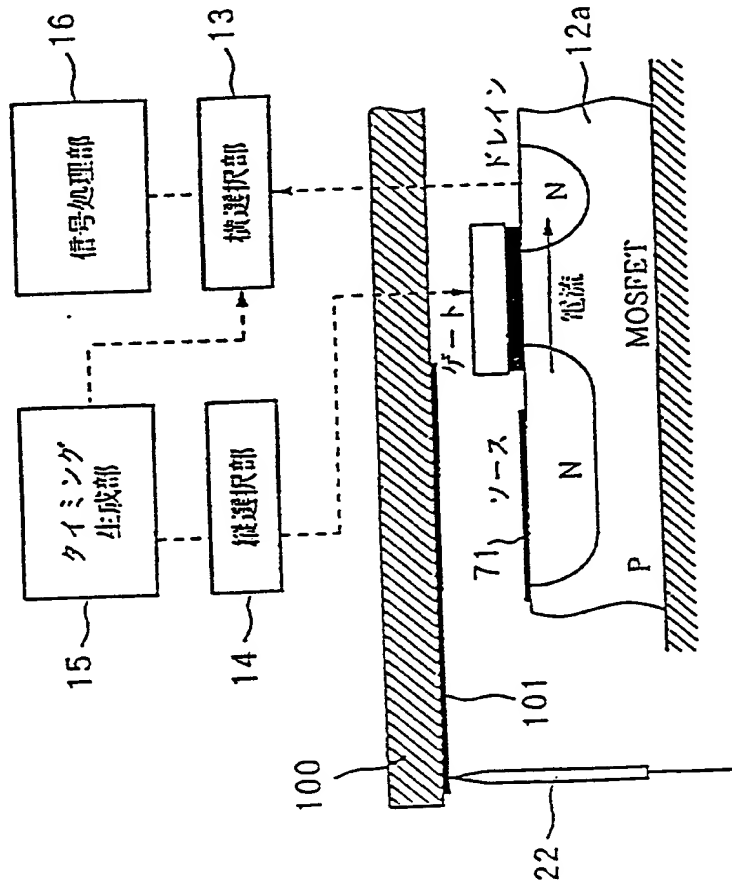


第6図



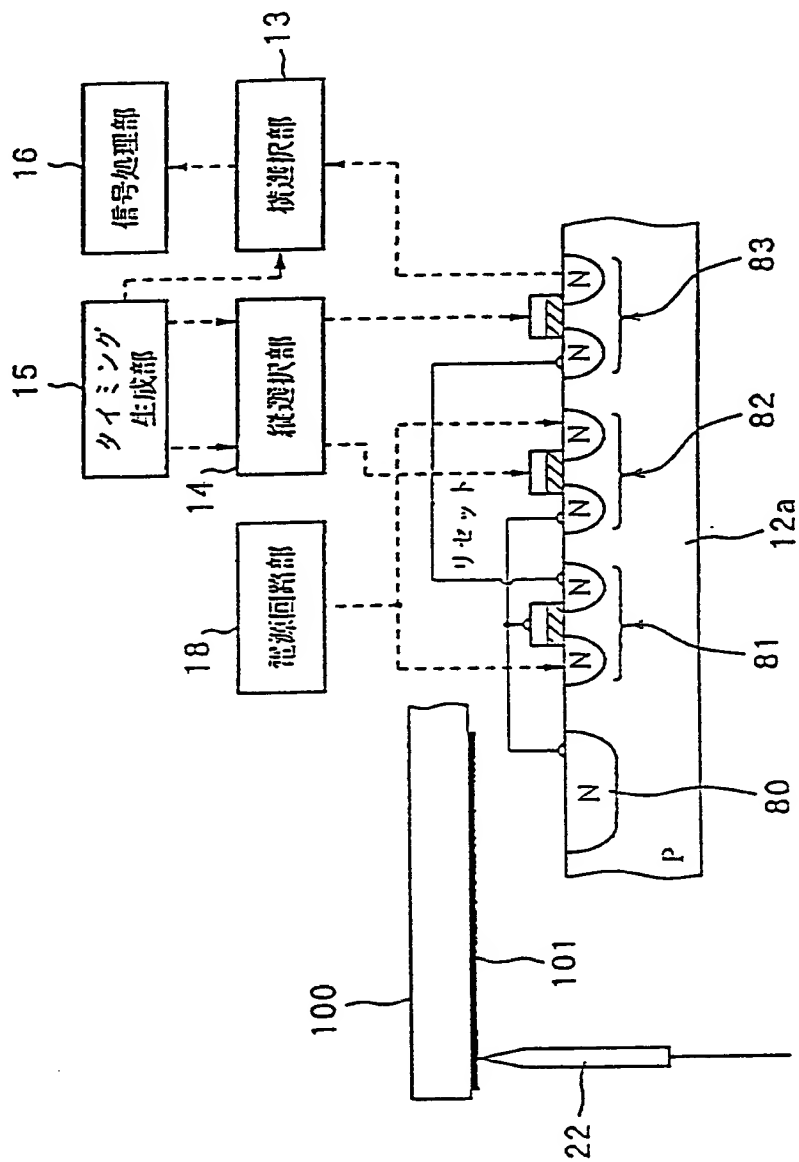


第7図

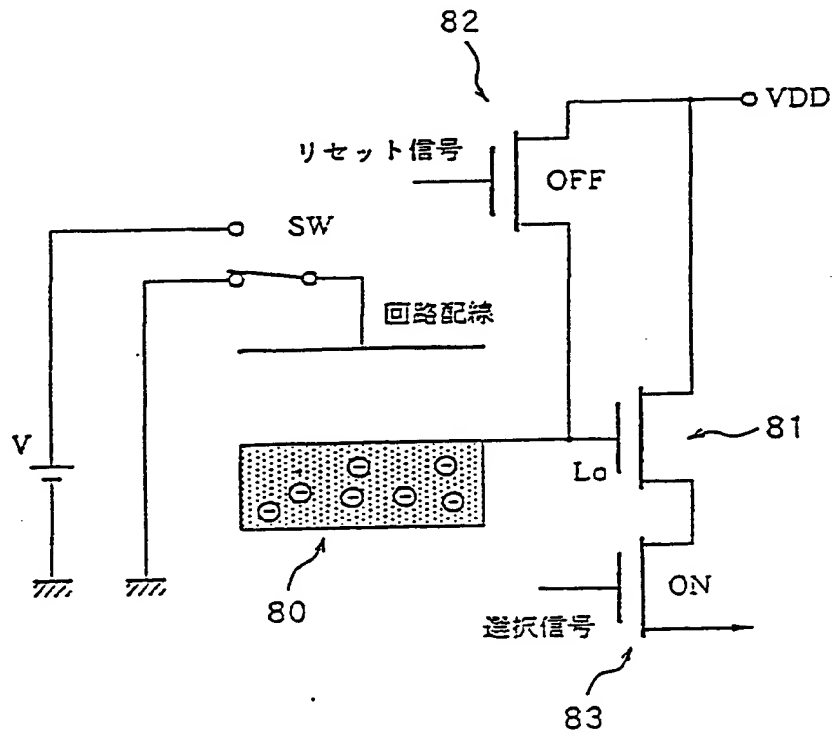




第8図

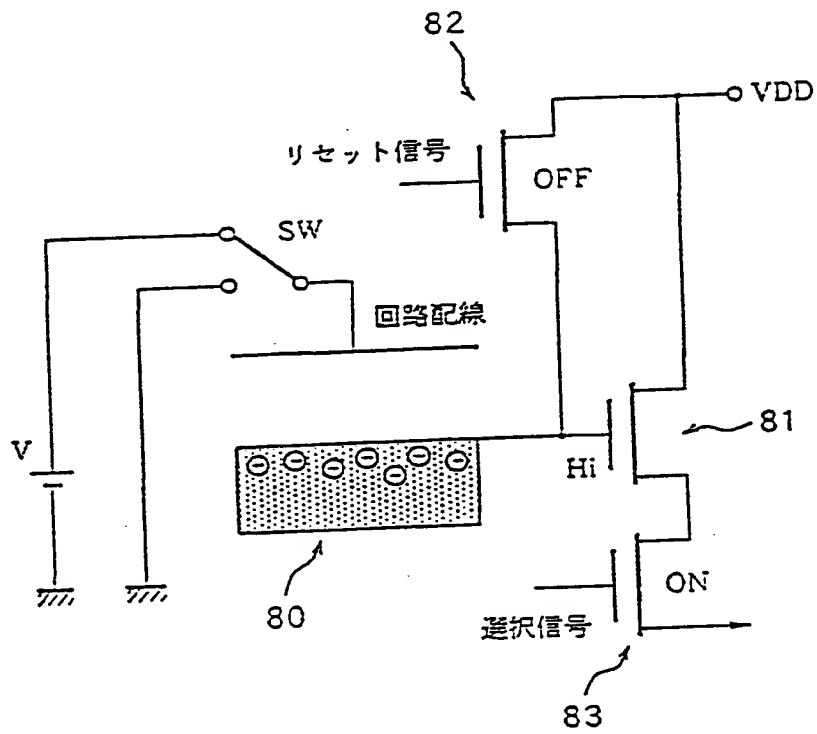


第9図



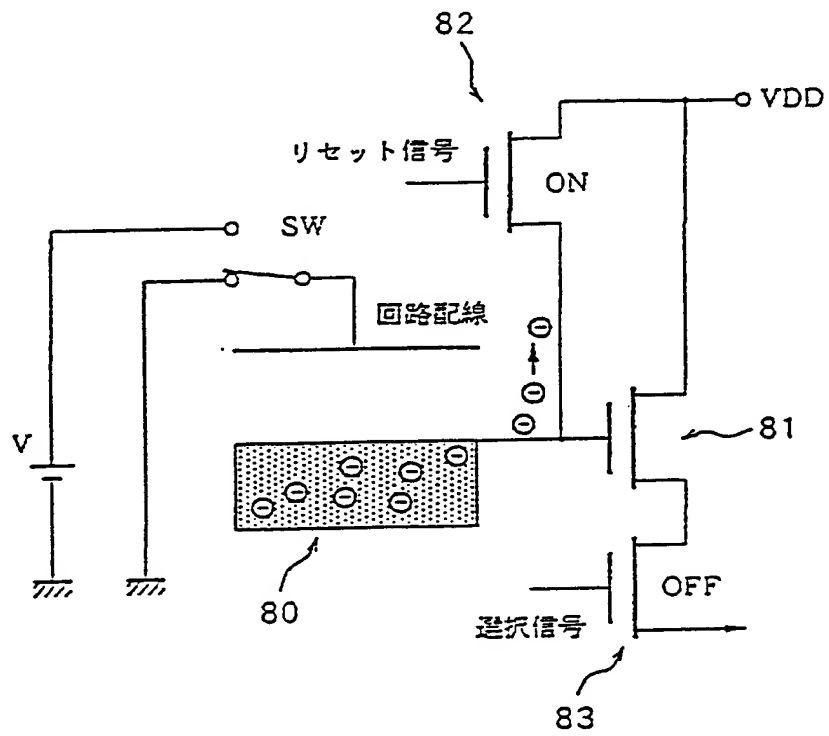


第10図



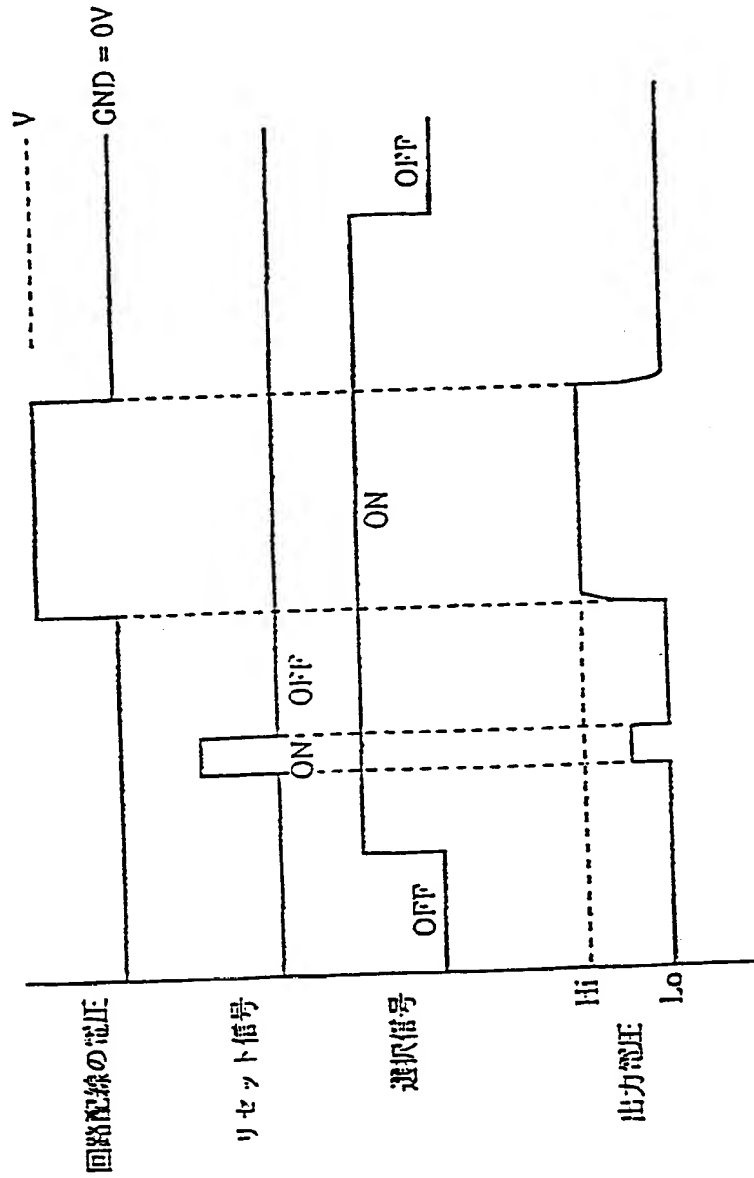


第11図





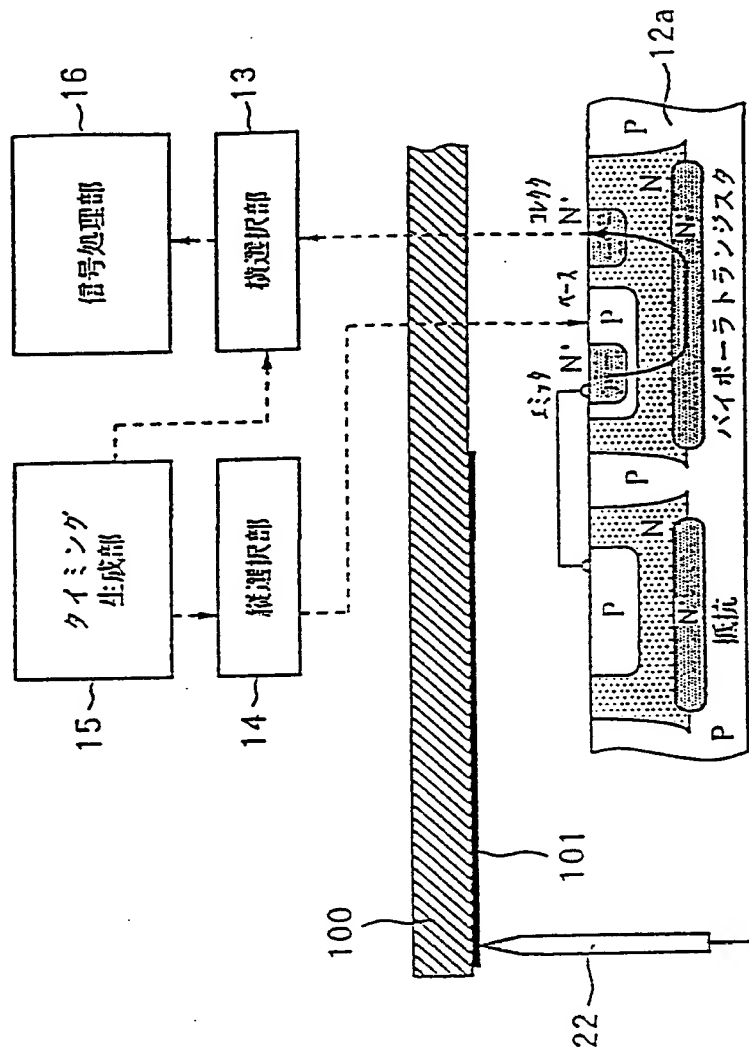
第12図





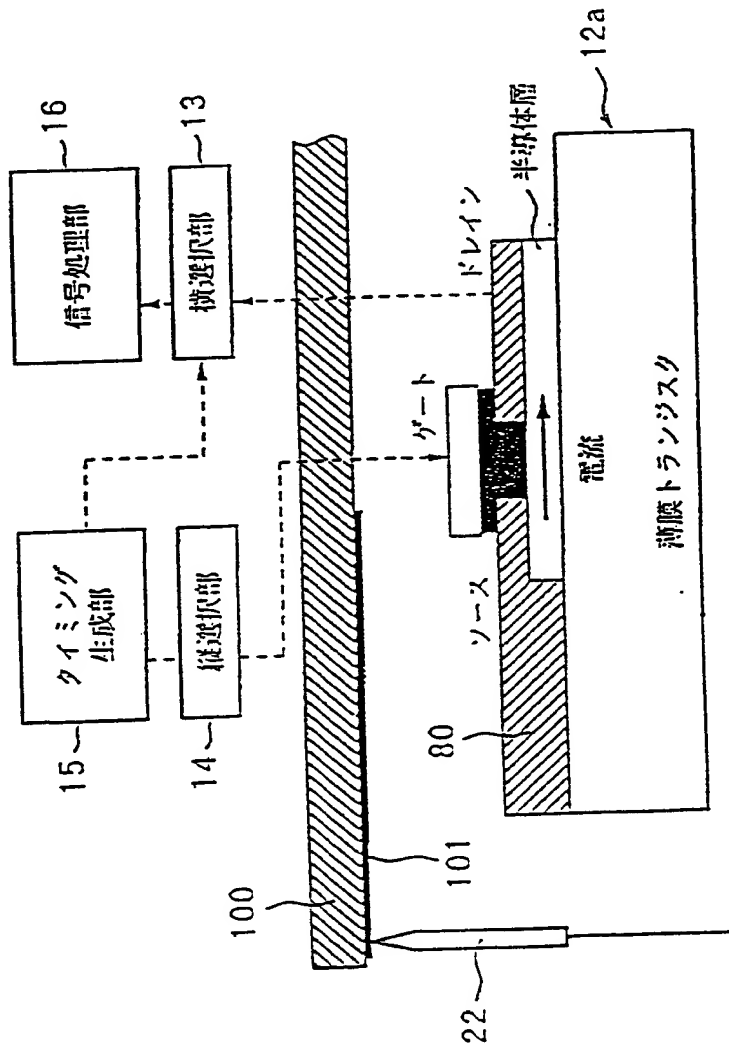
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100

第13図



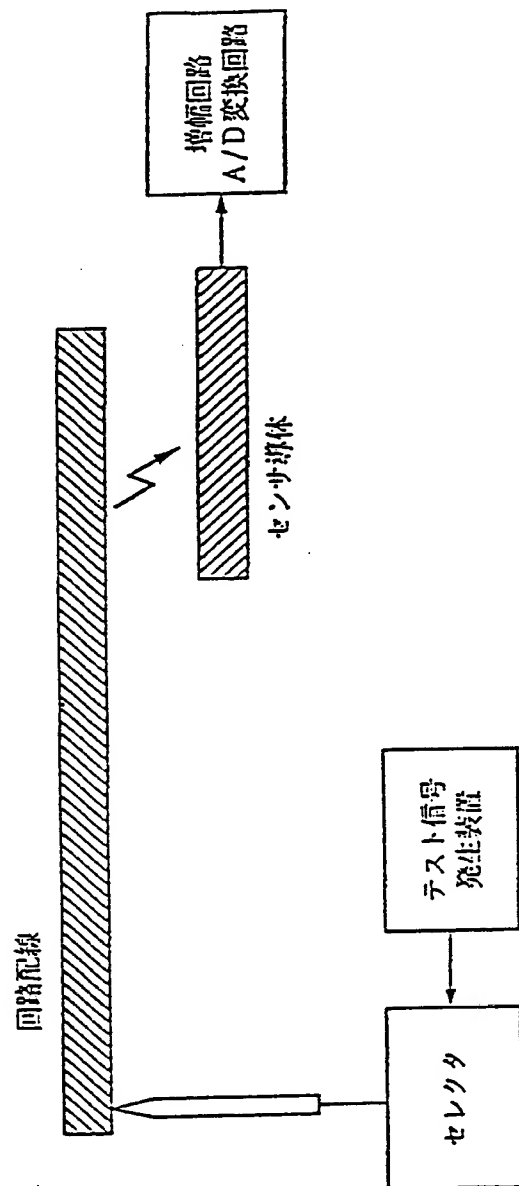


第14図

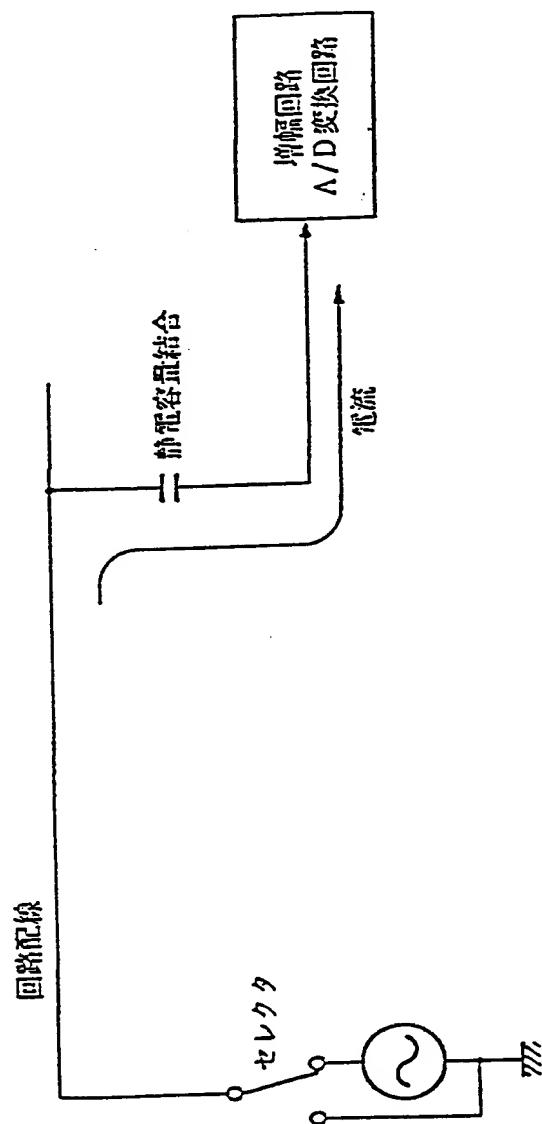




第15図



第16図





優先権証明願 (PCT)

特許庁長官 殿

1. 出願番号 特願2000-44705

2. 請求人

識別番号 594157142

住所 広島県深安郡神辺町字西中条1118番地の1

氏名又は名称 オー・エイチ・ティー株式会社

代表者 石岡 聖悟

電話番号 0849-60-2120

担当者 藤井 文人



3. 出願国名 PCT

(1,400円)



(43) 國際公開日
2001 年 8 月 30 日 (30.08.2001)

PCT

(10) 国際公開番号
WO 01/63307 A1

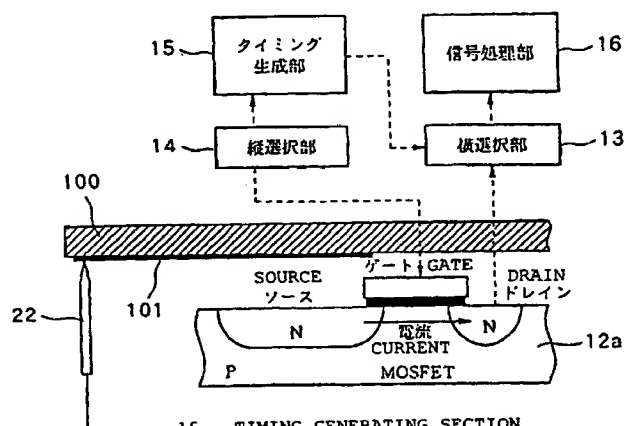
- | | | |
|-----------------------------|---|--|
| (51) 国際特許分類 ⁷ : | G01R 31/02 | 町 1-18-32 Hiroshima (JP). 石岡聖悟 (ISHIOKA, Shogo) [JP/JP]; 〒720-2124 広島県深安郡神辺町大字川南 827-3 Hiroshima (JP). 山岡秀嗣 (YAMAOKA, Shuji) [JP/JP]; 〒720-0837 広島県福山市瀬戸町地頭分 693-9 Hiroshima (JP). |
| (21) 国際出願番号: | PCT/JP01/01243 | |
| (22) 国際出願日: | 2001 年 2 月 21 日 (21.02.2001) | |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (国内): CA, CN, KR, SG, US. |
| (26) 国際公開の言語: | 日本語 | (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR). |
| (30) 優先権データ: | 特願 2000-44705 2000 年 2 月 22 日 (22.02.2000) JP | 添付公開書類:
— 国際調査報告書 |
| (71) 出願人 (米国を除く全ての指定国について): | オー・エイチ・ティー株式会社 (OHT INC.) [JP/JP]; 〒720-2103 広島県深安郡神辺町字西中条 1118 番地の 1 Hiroshima (JP). | 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 |
| (72) 発明者; および | | |
| (75) 発明者/出願人 (米国についてのみ): | 藤井達久 (FUJII, Tatsuhiro) [JP/JP]; 〒721-0971 広島県福山市蔵王 | |

添付公開書類：
一 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INSPECTION APPARATUS AND SENSOR

(54) 発明の名称: 検査装置及びセンサ



15...TIMING GENERATING SECTION
14...VERTICAL SELECTING SECTION
16...SIGNAL PROCESSING SECTION
13...LATERAL SELECTING SECTION

WO 01/63307 A1

(57) Abstract: An inspection apparatus for inspecting a conductor pattern minutely. A sensor element (12a) comprises an MOSFET where a diffusion layer having a larger surface area and serving as a passive element faces a conductor pattern (101). The passive element is continuous with the source of the MOSFET having gate connected with a vertical selecting section (14) and a drain connected with a lateral selecting section (13). When the sensor element (12a) is selected by a timing generating section (15), a signal is delivered from the vertical selecting section (14) to the gate and the MOSFET is turned on. When an inspection signal is outputted from a probe (22), the potential of the conductor pattern (101) is varied and accordingly a current flows from the source to the drain and thence flows through the lateral selecting section (13) to a signal processing section (16). The conductor pattern (101) can be located on a circuit board (100) by analyzing the position of the sensor element (12a) outputting a detection signal.

[続葉有]



(57) 要約:

導体パターンの形状を精細に検査すること。

センサ要素12aは、MOSFETを含み、表面積が大きい方の拡散層が受動素子となり、導体パターン101に対向している。この受動素子は、MOSFETのソースと連続し、ゲートは縦選択部14に接続され、ドレインは横選択部13に接続されている。タイミング生成部15により、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、MOSFETはONとなる。この時、プローブ22から検査信号が出力されると、導体パターン101の電位が変化し、これに伴い、ソースからドレインへ電流が流れ、横選択部13を介して、信号処理部16へ送出される。検出信号を出力したセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、導電パターン101が存在するかがわかる。

明細書

検査装置及びセンサ

5 技術分野

本発明は、回路基板の導電パターンの検査装置及びその検査装置用のセンサに関する。

背景技術

10 回路基板の製造においては、基板上に導電パターンを施した後、その導電パターンに断線や、短絡がないか否かを検査する必要がある。

従来から、導電パターンの検査手法としては、導電パターンの両端にピンを接触させて一端側のピンから導電パターンに電気信号を給電し、他端側のピンからその電気信号を受電することにより、導電パターンの導通テスト等を行う接触式の検査手法が知られている。

15 しかし、近年では、導電パターンの高密度化により、各導電パターンに、ピンを同時に配置し接触させる十分な間隔がない状況となってきたため、ピンを用いずに、導電パターンと接触することなく電気信号を受信する非接触式の検査手法が提案されている（特開平9-264919号）。

20 この非接触式の検査手法は、図15のように、検査の対象となる導電パターンの回路配線の一端側にピンを接触させると共に、他端側にて導電パターンに非接触にセンサ導体を配置し、ピンに検査信号を供給することによる導電パターンの電位変化を、センサ導体が検出して導電パターンの断線等を検査するものである。即ち、その等価回路で示せば図16のようになり、センサ導体側に発生した電流を増幅回路で増幅した後、その電流の大きさから、導電パターンのセンサ導体と対向する位置の断線及び短絡を検知していた。

25 しかしながら、上記従来の非接触検査手法では、通常のプリント基板上の複数のパターン線を覆う程度の大きさの電極により、導電パターンからの電磁波を受信していた。このため、50 μ mレベルの回路パターンを分解能高く検査することは不可能であり、また、

比較的大きな導電パターンであっても、その欠けまでは検知することができなかった。

本発明は上記従来技術の課題を解決するためになされたもので、その目的とするところは、導電パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することにある。

5 発明の開示

上記目的を達成するため、本発明に係る装置は、

回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、

前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

10 前記センサ要素を選択するための選択信号を出力する選択手段と、

を備え、

前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

15 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

20 前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする。

25 前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲ

ートに接続し、前記第1 MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1 MOSFETのソース電位を前記第2 MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする。

5 前記トランジスタは、直列に配置された第1、第2 薄膜トランジスタであって、前記受動素子を前記第1 薄膜トランジスタのゲートに接続し、前記選択信号を前記第2 薄膜トランジスタのゲートに接続し、前記第1 薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1 薄膜トランジスタのソース電位を前記第2 薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする。

10 前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする。

15 前記トランジスタは電荷読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする。

20 前記導体パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする。

25 前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする。

前記検出手段におけるセンサ要素は、前記受動素子の表面に接触する導体板を更に含むことを特徴とする。

回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

25 前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、
を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

10 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、該電位変化に応じた検出信号を出力する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

15 前記検出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

20 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする。

25 更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする。

また、本発明に係るセンサは、

回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、

前記センサ要素は、

5

半導体の単結晶上に構成され、

前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電圧変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

10

を含むことを特徴とする。

図面の簡単な説明

図1は、本発明の第1の実施の形態に係るセンサ要素の構成を説明する図である。

15

図2は、本発明の第1の実施の形態に係る検査装置を利用した検査システムの概略図である。

図3は、本発明の第1の実施の形態に係る検査装置の電氣的構成を示すブロック図である。

図4は、本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電流が発生する原理を説明するためのモデル図である。

20

図5は、本発明の第1の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電流が発生する原理を説明するためのモデル図である。

図6は、本発明の第1の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

図7は、本発明の第1の実施の形態に係るセンサ要素の変形例を示す図である。

25

図8は、本発明の第2の実施の形態に係るセンサ要素の構成を説明する図である。

図9は、本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変

化に応じて電圧が出力される原理を説明するためのモデル図である。

図10は、本発明の第2の実施の形態に係るセンサ要素において、導体パターンの電位変化に応じて電圧が出力される原理を説明するためのモデル図である。

5 図11は、本発明の第2の実施の形態に係るセンサ要素において、リセット信号入力時の動作を説明するためのモデル図である。

図12は、本発明の第2の実施の形態に係るセンサ要素の入出力タイミングを示すタイミングチャートである。

図13は、本発明の第3の実施の形態に係るセンサ要素の構成を説明する図である。

図14は、本発明の第4の実施の形態に係るセンサ要素の構成を説明する図である。

10 図15は、従来の回路基板検査装置を説明する図である。

図16は、従来の回路基板検査装置を説明する図である。

発明を実施するための最良の形態

15 以下に、図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成要素の相対配置、数値等は、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

(第1の実施の形態)

本発明の第1の実施の形態として、MOSFETをセンサ要素として用いた検査装置1について説明する。

20 まず、検査装置1を利用した導電パターンの検査システムの一例を示す。図2は、検査装置1を利用した検査システム20の概略図である。

25 検査システム20は、回路基板100に施された導電パターン101を検査するための装置であって、検査装置1と、コンピュータ21と、導電パターン101に検査信号を供給するためのプローブ22と、プローブ22への検査信号の供給を切替えるセクタ23と、を備える。セクタ23は、例えば、マルチプレクサ、デプレクサ等から構成することができ

コンピュータ 21 は、セクタ 23 に対してはプローブ選択のための制御信号及び導体パターン 101 に与える検査信号を供給し、検査装置 1 に対しては、セクタ 23 に供給した制御信号に同期して検査装置を動作させるための同期信号を供給する。また、コンピュータ 21 は、検査装置 1 からの検出信号を受信して、画像データを生成し、その画像データに基づいて、導電パターン 101 の断線、短絡、欠け等を検出する。更に、コンピュータ 21 は、各センサ要素 12 a からの検出信号に基づいて、検査対象である導電パターンの画像をディスプレイ 21 a に表示する機能を有する。

プローブ 22 は、その先端が、それぞれ回路基板 100 上の導電パターン 101 の一端に接触しており、導電パターン 101 に対して検査信号を供給する。

セクタ 23 は、検査信号を出力するプローブ 22 を切替える。回路基板 100 上の複数の独立した導電パターン 101 の一つずつに検査信号が供給されるように、コンピュータから供給された制御信号に基づき制御する。

検査装置 1 は、回路基板 100 の導電パターン 101 に対向する位置に非接触に配置され、プローブ 22 から供給された検査信号によって導電パターン 101 上に生じた電位変化を検出し、検出信号としてコンピュータ 21 へ出力する。検査装置 1 と導電パターンとの間隔は、0.05 mm 以下が望ましいが、0.5 mm 以下であれば可能である。

なお、図 2 の回路基板 100 では、片面側にのみ導電パターン 101 が設けられている場合を想定しているが、両面に導電パターン 101 が設けられている回路基板についても検査可能であり、その場合は、検査装置 1 を二つ用いて回路基板をサンドイッチするように配置して検査する。

図 3 は、検査装置 1 の電氣的構成を示すブロック図である。

検査装置 1 は、図 3 のような電氣的構成を持つセンサチップが不図示のパッケージに取付られた構成となっている。

検査装置 1 は、制御部 11 と、複数のセンサ要素 12 a からなるセンサ要素群 12 と、センサ要素 12 a の行の選択をするための縦選択部 14 と、センサ要素 12 a の列の選択及び信号の取りだしを行う横選択部 13 と、各センサ要素 12 a を選択するための選択信

号を発生するタイミング生成部15と、横選択部13からの信号を処理する信号処理部16と、信号処理部16からの信号をA/D変換するためのA/Dコンバータ17と、検査装置1を駆動するための電力を供給するための電源回路部18と、を備える。

5 制御部11は、コンピュータ21からの制御信号に従って、検査装置1の動作を制御するためのものである。

センサ要素12aは、マトリックス状（縦480×横640個）に配置され、プローブ22から導体パターン101に供給された検査信号に応じた導体パターン101上の電位変化を非接触で検出する。

10 タイミング生成部15は、コンピュータ21から垂直同期信号（Vsync）、水平同期信号（Hsync）及び基準信号（Dclk）を供給され、縦選択部14及び横選択部13に、センサ要素12aを選択するためのタイミング信号を供給する。

縦選択部14は、タイミング生成部15からのタイミング信号に従って、センサ要素群12の少なくともいずれか一つの行を順次選択する。縦選択部14により選択された行のセンサ要素12aからは、検出信号が一度に出力され、横選択部13に入力される。横選択部13は、640個の端子から出力されたアナログの検出信号を増幅した後、一旦ホールドし、マルチプレクサ等の選択回路により、タイミング生成部15からのタイミング信号に従って、順番に信号処理部16に出力する。

信号処理部16は、横選択部13からの信号に対して、アナログ信号処理を行い、A/Dコンバータ17へ送出する。

20 A/Dコンバータ17は、信号処理部16からアナログ形式で送出された各センサ要素12aの検査信号を例えば8ビットのデジタル信号に変換し、出力する。

なお、ここでは、検査装置1にA/Dコンバータが内蔵されているが、信号処理部でアナログ処理されたアナログ信号をそのままコンピュータ21に出力してもよい。

25 次に、センサ要素12aの動作について説明する。図1は、一つのセンサ要素12aの構成を説明する図である。

センサ要素12aは、MOS型の半導体素子（MOSFET）であり、拡散層の一方の

表面積が他方の表面積よりも大きくなるように生成されている。表面積が大きい方の拡散層が受動素子となり、導体パターン101に対向している。この受動素子は、MOSFETのソースと連続している。ゲートは縦選択部14に接続されており、ドレインは横選択部13に接続されている。

5 また、受動素子の拡散層には不要電荷を吐き出すポテンシャル障壁が設けてある。

そして、タイミング生成部15により縦選択部14を介して、センサ要素12aが選択されると、縦選択部14からゲートへ信号が送出され、センサ要素12aはON（検出信号出力可能状態）となる。

10 この時、プローブ22から検査信号が出力されると、導体パターン101の電位が変化し、これに伴い、ソースからドレインへ電流が流れる。これが検出信号となって横選択部13を介して、信号処理部16へ送出される。なお、センサ要素12aに対向する位置に導体パターン101が存在しない場合には、電流は流れない。このため、検出信号としての電流出力があったセンサ要素12aの位置を解析すれば、回路基板100のどの位置に、プローブ22と接触した電極から連続する導電パターン101が存在するかがわかる。

15 ここで、ソースからドレインへ電流が流れる原理について、更に詳しく説明する。図4、図5は、この原理を分かりやすく説明するためのモデル図であり、図4は、導体パターンの回路配線に電圧が印加されていない状態、図5は印加された状態を示す。これらの図は共に、選択信号がゲートに入力され、ゲートがONになっている状態を示している。

20 図4のように、回路配線に電圧が印加されていなければ、拡散層の余分な電荷が、OFFしているゲートの下の電位障壁のポテンシャルよりも低い吐き出しポテンシャル障壁から溢れ出る。その場合、ソースの電位は吐き出しのポテンシャルで確定する。

25 次に、図5のように、回路配線に電圧Vが印加されると、回路配線が+に帯電する（電位Vとなる）。ここで、回路配線と、ソース側拡散層とは、微小距離だけ離間しているため、対向するソース側拡散層は回路配線の電位変化の影響を受け、電位がVとなって電荷が流れ込む。即ち、回路配線とソース側拡散層とが静電容量結合しているように動作し、ソース側拡散層のポテンシャルが低くなって、電子が流れ込み、ソースからドレインに向かう

て電流が流れる。

回路配線が再びグランドに接続されると、ソース側拡散層のポテンシャルは元に戻り、余剰の電子は徐々に吐き出しポテンシャル障壁から逃がされる。

図6は、図1のようなMOSFETを用いた場合の入出力タイミングを示すタイミングチャートである。

図6に示すように、回路配線に電圧が印加されると、出力電流が得られる。ただし、電流は、電圧の印加と同時にピークを示し、その後指数関数的に減少するため、横選択部13では、電圧印加のタイミングに合わせて検出し、ホールドしている。

上述してきたように、センサ要素が、半導体の単結晶上に構成され、導電パターンに対し静電容量結合の対向電極として動作し、導電パターンの電位変化を検出する受動素子と、この受動素子と連続し、受動素子から出力された検出信号である出力電流を選択信号のゲート入力時に出力するMOS型トランジスタと、を備えたので、センサ要素を極微細に製造することができる。

つまり、現在確立されているトランジスタ製造技術をそのまま用いて、センサ要素群を製造できるため、センサ要素自体も、その間隔も超微細にすることができる。これにより、回路基板上にプリントされた導電パターンの形状を高解像度に表現することができ、その欠け等も的確に検知することができる。また、センサ要素群を製造するのに、特別な製造装置を必要としないため、生産性が著しく向上するという効果を奏する。

なお、検査装置1では、回路基板100の形状に合わせて、各センサ要素12aを平面的に配置しているが、立体的に配置してもよい。

各センサ要素12aの形状は、図3に示すように全て形状を統一することが望ましい。これは、導電パターンへの検査信号の供給及び導電パターンに現れる信号の受信を、各センサ要素12aでムラ無く行うためである。

また、各センサ要素12aは、図3に示すように、行方向及び列方向にそれぞれ等間隔に配列されたマトリックス状に構成することが望ましい。そうすれば、導電パターンに面する単位面積あたりのセンサ要素12aの数のムラを低減することができると共に、各セ

ンサ要素12a間の相対的な位置関係を明らかにし、検出信号による導電パターンの形状の特定を容易化することができるからである。但し、検査する導電パターンの形状等に応じて、単に1列分だけ配置するようにしてもよい。

検査装置1では、センサ要素12aは、480行640列の配列としているが、これは本実施形態において便宜的に定めたものであり、現実には、例えば、5乃至5 μ m角に20万から200万個のセンサ要素を配置することもできる。このようにセンサ要素12aの大きさ、間隔等を設定するにあたっては、より正確な検査を実現すべく、導電パターンの線幅に応じた大きさ、間隔を設定することが望ましい。

ここでは、NチャネルMOSFETをセンサ要素としたが、本発明はこれに限定されるものではなく、PチャネルMOSFETを用いてもよい。

図1で、受動素子をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、非晶質半導体であってもよい。

更に、図7のように、受動素子としてのソース側拡散層上に、導電板71をオーミックコンタクトさせてもよく、このようにすれば、受動素子表面の電気伝導度を高く、すなわち、受動素子表面近傍に信号電荷を集中させることができ、信号電荷密度を高くすることができるため、静電容量結合をより強くすることができる。

導電板71は、金属の薄膜であっても多結晶半導体であってもよい。

(第2の実施の形態)

次に図8乃至図12を用いて、本発明の第2の実施の形態としての検査装置について説明する。

本実施の形態の検査装置は、センサ要素として、半導体の拡散層を回路配線からの信号受信素子とした電荷電圧変換回路を用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図上では、同じ構成要素を同じ符号を付して示す。

図8は、本実施の形態に係るセンサ要素12aの構成を説明する図である。

本実施の形態に係るセンサ要素12aも、上記第1の実施の形態に係るセンサ要素と同

様に、受動素子80として、比較的表面積の大きな拡散層を備えている。受動素子80は、MOSFET81のゲート及び、MOSFET82のソースに接続されている。また、MOSFET81のドレインには電源回路部18から電圧VDDが印加されており、MOSFET81のソースは、MOSFET83のドレインに接続されている。MOSFET82のゲートには、縦選択部14からのリセット信号が入力され、MOSFET82のドレインには、電源回路部18から電圧VDDが印加されている。MOSFET83のゲートには、縦選択部14から選択信号が入力され、MOSFET83のソースからの出力は、横選択部13に入力される。

ここで、受動素子80が検出した導体パターン101の電位変化が、MOSFET83のソースからの出力電圧に変換される原理について、更に詳しく説明する。図9、図10は、この原理を分かりやすく説明するためのモデル図であり、図9は、導体パターンの回路配線に電圧が印加されていない状態、図10は印加された状態を示す。これらの図は共に、選択信号がMOSFET83のゲートに入力され、ゲートがONになっている状態を示している。

図9のように、回路配線に電圧が印加されていなければ、受動素子80内の電子は、拡散層のポテンシャルに閉じ込められており、MOSFET81のゲートには、L₀の電圧が印加される。従って、ソースフォロワ動作するMOSFET81のソース側は、MOSFETのしきい値電圧だけゲートより低い電位が出力される。

次に、図10のように、回路配線に電圧Vが印加されると、対向する受動素子80は、回路配線の電位変化の影響を受け、その表面に電子が集まろうとするが、流入する電子が無い場合、もともと存在した電子が表面近くに密集し、表面ポテンシャルを下げる。つまり電位が上昇する。MOSFET81のゲートは、受動素子80の表面と接続されているため、H_iの電圧が印加されることになり、ソースフォロワ動作するMOSFET81のソース側は、MOSFETのしきい値電圧だけゲートより低い電位が出力されるが、前述の回路配線に電圧を印加しない場合よりも高い電圧が出力される。

回路配線が再びグランドに接続されると、受動素子80内の電子は、再び分散し、MO

S F E T 8 1 のゲートの電位はL o となる。

このように、回路配線に対する電圧のON/OFFの切替えだけでは、理論上は、受動素子80内の全電荷量は変化しない。しかし、実際には、受動素子80の周囲から電子が侵入することがあり、これを放置しておけば、回路配線に電圧が印加されていない状況での受動素子のポテンシャルが上昇し、電位が下がる。つまり、その雑音電子によって発生する雑音電位が、オフセット電位として受信信号に重なり経時変化する。そこで、図11のように、MOSFET82のゲートにリセット信号を入力し、電源と、受動素子80とを導通させて、受動素子80内の余分な電子を逃がしてやり、電位を一定に保っている。

図12は、図8のようなMOSFET回路を用いた場合の入出力タイミングを示すタイミングチャートである。

図12に示すように、選択信号をONにした後、リセット信号を一定時間ONにして、受動素子80の電位の経時変化を抑える。このとき、MOSFET81のゲートの電位が上昇し、MOSFET83のドレインからの出力電圧も少し大きくなる。これをリセット信号のカップリングノイズと呼ぶ。リセット信号をOFFにした後、今度は回路配線に電圧Vを印加する。回路配線に電圧Vが印加されると、MOSFET83のドレインからの出力電圧はH i となり、そのセンサ要素12aに対向する位置に回路配線が存在することがわかる。

ただし、カップリングノイズを出力電圧と誤って検出しないように、出力電圧の検出タイミングを調整し、又は、ハイパスフィルタを通してしている。

このように、センサ要素に、図8のような電荷電圧変換回路を用いたので、増幅した電圧の形で検出信号を取り出すことができ、検出信号を明確に識別できるので、より正確な回路基板の検査を行なうことができる。

なお、リセット信号の入力タイミングは、図12に示したタイミングに限定されるわけではなく、他のタイミングであってもよい。

また、図8で、受動素子80をn型拡散層としたが、これに限定されるものではなく、比較的導電率の高い材料であれば、金属の薄膜や、多結晶半導体であっても、非晶質半導

体であってもよい。

(第3の実施の形態)

次に図13を用いて、本発明の第3の実施の形態としての検査装置について説明する。

5 本実施の形態の検査装置は、センサ要素として、バイポーラトランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して示す。

図13は、本実施の形態に係るセンサ要素の構成を説明する図である。

10 導体パターンの電位変化を検出する受動素子は、抵抗素子からなり、その抵抗素子と、バイポーラトランジスタのエミッタが接続されている。また、ベースには縦選択部14からの選択信号が入力され、コレクタから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。

15 このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とほぼ同様である。ベースに選択信号が印加されると、バイポーラトランジスタのエミッタであるN+拡散層とコレクタであるN+拡散層とが導通し、回路配線の電位が上昇して抵抗素子のP拡散層に電子が集まることによって、コレクタから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合わせて信号処理部16に入力される。

このように、センサ要素にバイポーラトランジスタを用いれば、検出信号を出力を高速に、且つ正確に行なうことができる。

20 尚、ここでは、npn型のバイポーラトランジスタを用いたが、pnp型であってもかまわない。

(第4の実施の形態)

次に図14を用いて、本発明の第4の実施の形態としての検査装置について説明する。

25 本実施の形態の検査装置は、センサ要素として、TFT等の薄膜トランジスタを用いた点について、上記第1の実施の形態と異なる。その他の点については、第1の実施の形態と同様であるため、ここでは説明を省略し、図では、同じ構成要素を同じ符号を付して

示す。

図14は、本実施の形態に係るセンサ要素の構成を説明する図である。

5 導体パターンの電位変化を検出する受動素子80は、クロム等の電極であって、この電極と薄膜トランジスタのソースとが連続している。また、ゲートには縦選択部14からの選択信号が入力され、ドレインから出力される検出信号としての出力電流は横選択部13を介して信号処理部16に入力される。ソースとドレインの下層には、アモルファスSi又は多結晶-Si等の薄膜半導体層が存在する。

10 このセンサ要素12aの動作は、図4、図5で説明したMOSFETの動作とほぼ同様である。ゲートに選択信号が印加されると、ゲートの下の半導体層にチャネルが発生し、薄膜トランジスタのソースとドレインとが導通する。そして、回路配線の電位が上昇して受動素子80としての電極に電子が集まることによって、ドレインから電流が出力され、横選択部13で増幅された後、タイミング生成部15で生成されたタイミング信号に合せて信号処理部16に入力される。

15 このようにセンサ要素に薄膜トランジスタを用いれば、センサ要素の生産性を向上し、また、センサアレイの面積をより大きくすることができる。

尚、上記第2の実施の形態に示した電荷電圧変換回路において、MOSFETを全てこの薄膜トランジスタに置換えることもでき、その場合も同様の効果を得ることができる。

(その他の実施の形態)

20 上記第1、第3又は第4の実施の形態に示したセンサ要素に、流れ込んだ電子を保持する機能を持たせてもよい。

25 つまり、受動素子に、電子が溜まる構造にすれば、溜まった電子は、リセットMOSで電源に吸い上げられるまで保持される。このため、センサ要素を選択して、回路配線に検査信号としての電圧を印加しはじめた直後から、そのセンサ要素をリセットするまでに、検出信号である出力電流を検出すればよい。即ち、図6を用いて説明したように、電圧の印加と出力電流の検出のタイミングを合せる必要がない。

更に、溜まった電子を順番に隣のセンサ要素に送るように電荷転送素子を用いてもよい。

電荷転送素子には例えばCCDが挙げられる。

5 この場合、トランジスタとして電荷読出し用のMOSFETを用い、受動素子とソースとしての拡散層を連続させ、選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送すればよい。

更に、導体パターンの電位変化に対応して受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、受動素子の拡散層と連続させて形成すれば、安定した電荷転送が可能となる。

10 また、電荷転送素子を用いれば、横選択部で、マルチプレクサ等のスイッチング回路を用いる必要はなくなる。

なお、上記実施の形態では、いずれも、導体パターンの回路配線に、直流電圧を印加するかのように表現したが、本発明はこれに限定されるものではなく、回路配線に交流電圧を印加してもよい。

15 また、上記実施の形態のセンサ要素は、いずれも半導体センサであるため、光の照射によって光電変換が起こり、電子を発生することがある。これは、誤動作の原因となるため、センサ要素の周りを遮光することが望ましい。

産業上の利用可能性

20 本発明によれば、導体パターンの形状を精細に検査可能なセンサ並びに検査装置を提供することができる。

請求の範囲

1. 回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する検査装置であって、

5 前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、
前記センサ要素を選択するための選択信号を出力する選択手段と、
を備え、

前記センサ要素は、

半導体の単結晶上、または、平板上に構成され、

10 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

15 2. 前記トランジスタは電流読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

3. 前記トランジスタは電流読出し用の薄膜トランジスタであって、前記受動素子と前記薄膜トランジスタのソースが接続されており、前記選択信号をゲートに入力することによって、ドレインから検出信号を得ることを特徴とする請求項1に記載の検査装置。

20 4. 前記トランジスタは、直列に配置された第1、第2MOSFETであって、前記受動素子を前記第1MOSFETのゲートに接続し、前記選択信号を前記第2MOSFETのゲートに接続し、前記第1MOSFETのゲートに印加された前記受動素子の電位に応じて変化する前記第1MOSFETのソース電位を前記第2MOSFETのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

25 5. 前記トランジスタは、直列に配置された第1、第2薄膜トランジスタであって、前記

受動素子を前記第1薄膜トランジスタのゲートに接続し、前記選択信号を前記第2薄膜トランジスタのゲートに接続し、前記第1薄膜トランジスタのゲートに印加された前記受動素子の電位に応じて変化する前記第1薄膜トランジスタのソース電位を前記第2薄膜トランジスタのドレインで受けて、ソースから検出信号として出力することを特徴とする請求項1に記載の検査装置。

6. 前記トランジスタはバイポーラトランジスタであって、前記受動素子をエミッタに接続し、前記選択信号をベースに入力することによって、コレクタから検出信号を得ることを特徴とする請求項1に記載の検査装置。

7. 前記トランジスタは電荷読出し用のMOSFETであって、前記受動素子とソースとしての拡散層が連続しており、前記選択信号をゲートに入力することによって、ゲートの下に形成した電位障壁を下げ、ソース側にある信号電荷をドレイン側へ検出信号電荷として転送し、ドレイン側に接続された電荷転送素子で検出信号を転送することを特徴とする請求項1に記載の検査装置。

8. 前記導体パターンの電位変化に対応して前記受動素子に電荷を供給し、かつ導体パターンの電位変化が終わる前に、供給した前記電荷が逆流しないように電位障壁を形成する電荷供給MOSFETのドレインを、前記受動素子の拡散層と連続させて形成することを特徴とする請求項7に記載の検査装置。

9. 前記センサ要素は、センサチップ上にマトリクス状に配置されていることを特徴とする請求項1乃至8のいずれか一つに記載の検査装置。

10. 前記検出手段におけるセンサ要素は、
前記受動素子の表面に接触する導体板を更に含むことを特徴とする請求項1乃至9のいずれか一つに記載の検査装置。

11. 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号に応じた前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、
を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

- 5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

- 10 12. 回路基板の導電パターンを検査する検査装置であって、

前記導電パターンに対して、時間的に変化する検査信号を供給する供給手段と、

前記検査信号が供給されることによる前記導電パターン各部の電位変化を、複数のセンサ要素を用いて検出し、該電位変化に応じた検出信号を出力する検出手段と、

前記センサ要素を選択するための選択信号を出力する選択手段と、

- 15 前記検出信号に基づき、前記導電パターンの形状を描画するための画像データを生成する画像データ生成手段と、

を備え、

前記センサ要素は、

半導体の単結晶上に構成され、

- 20 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電位変化を検出する受動素子と、

前記受動素子によって検出された電位変化に応じた検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とする検査装置。

- 25 13. 更に、前記センサ要素の半導体に対する光の照射を防ぐための遮光手段を有することを特徴とする請求項1乃至12のいずれか一つに記載の検査装置。

14. 回路基板の導電パターンを検査するために、該導電パターンに検査信号が供給されることによる電位変化を非接触で検出する複数のセンサ要素を備えたセンサであって、前記センサ要素は、

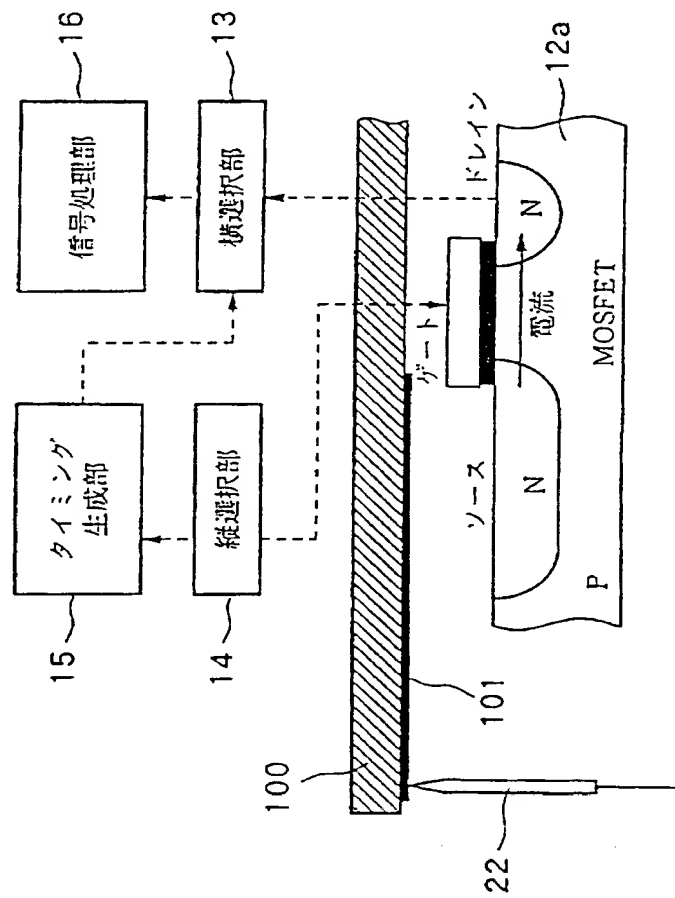
半導体の単結晶上に構成され、

5 前記導電パターンに対し静電容量結合の対向電極として動作し、前記導電パターンの電圧変化を検出する受動素子と、

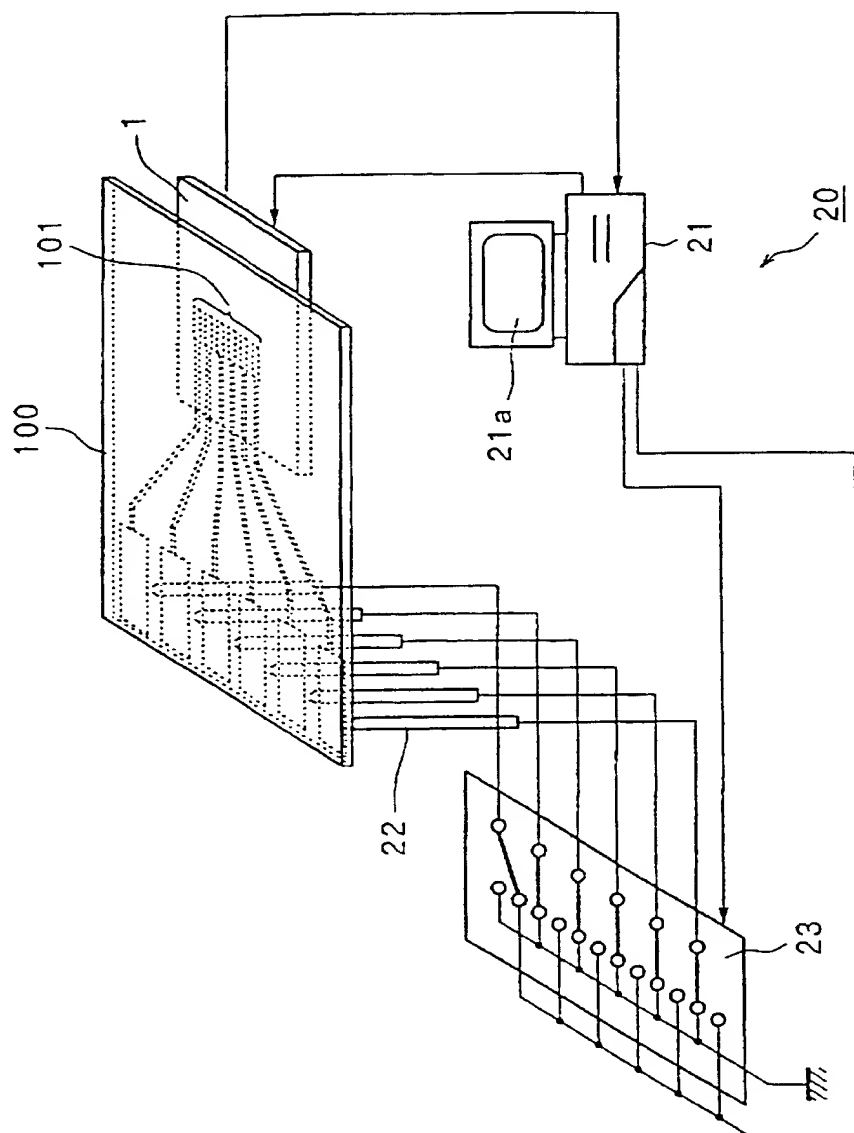
前記受動素子によって出力された検出信号を、前記選択信号の入力に応じて出力するトランジスタと、

を含むことを特徴とするセンサ。

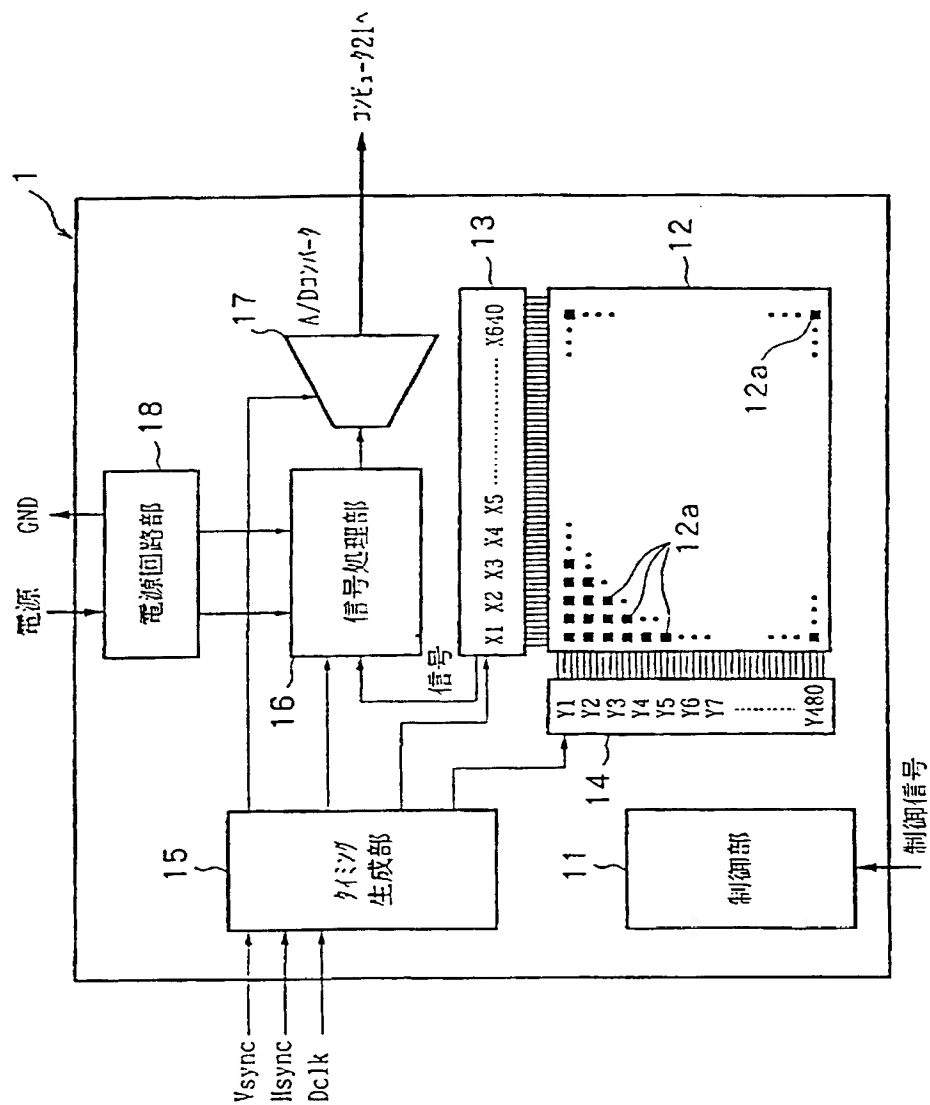
第1図



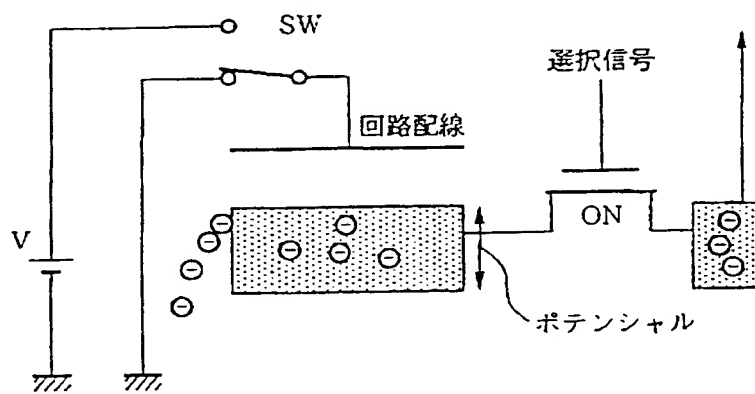
第2図



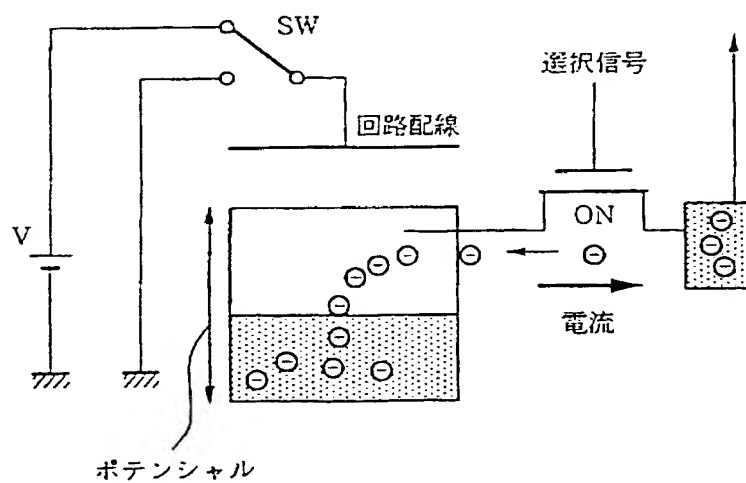
第3図



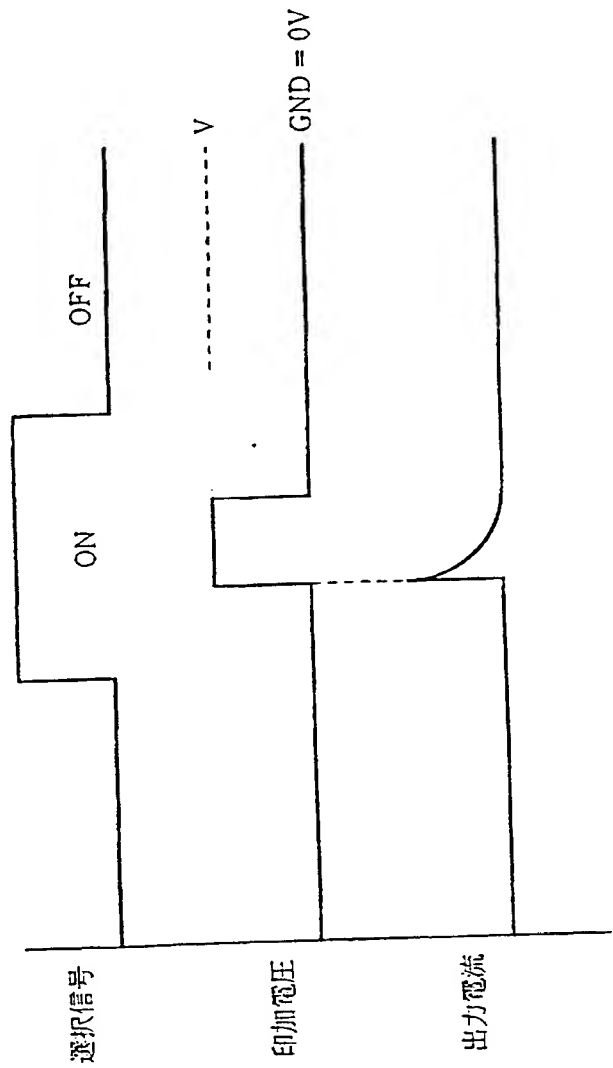
第4図

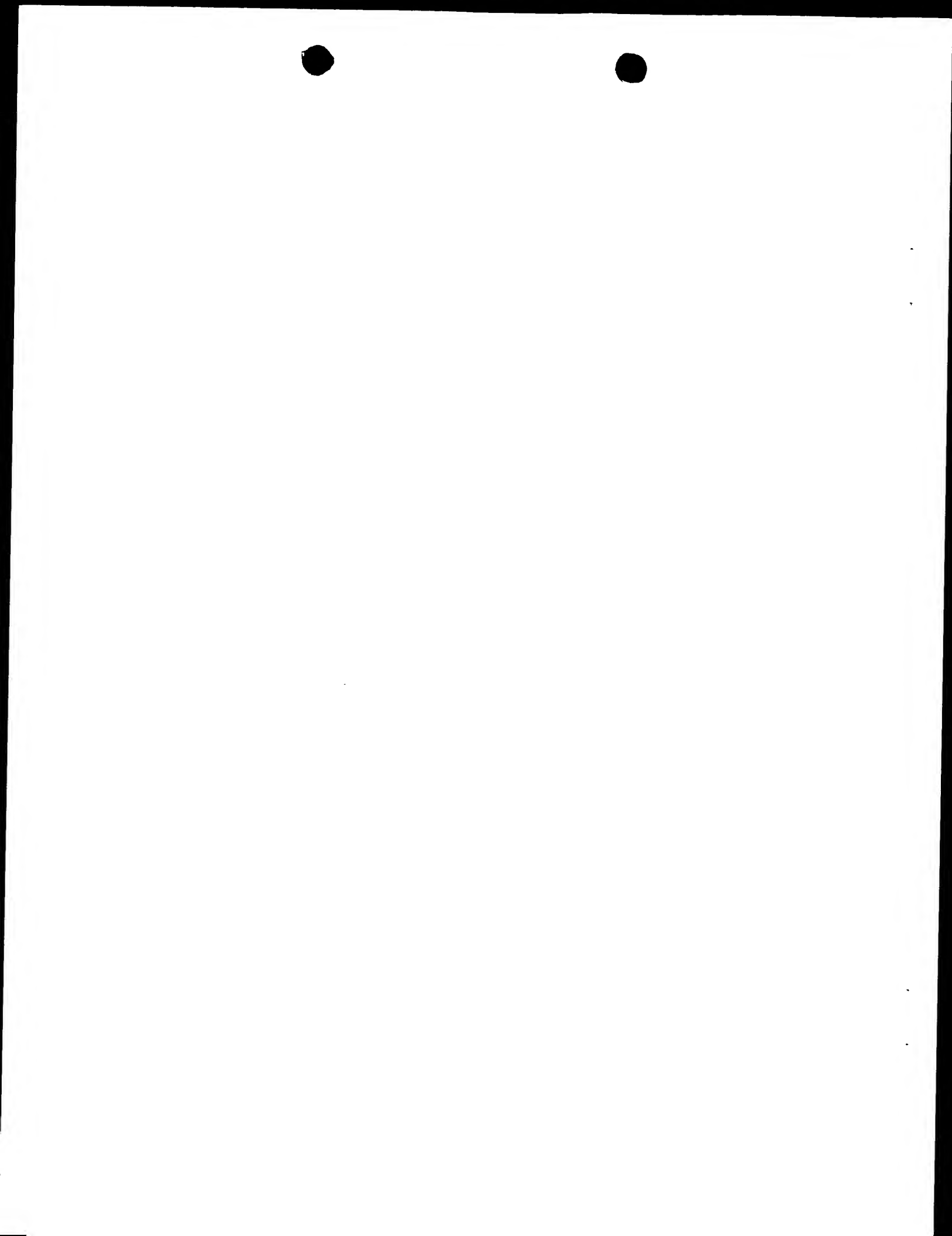


第5図

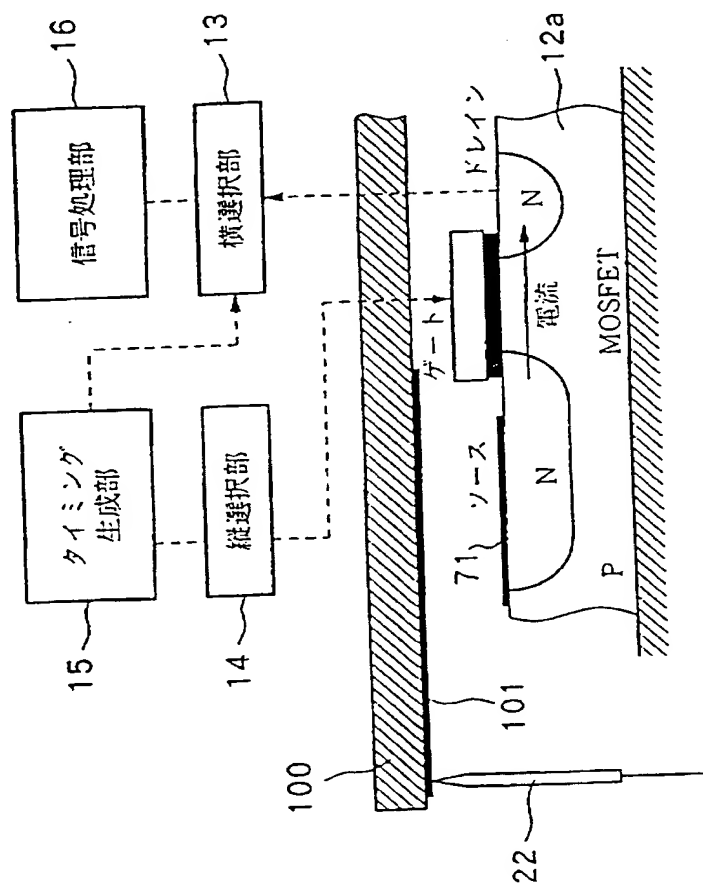


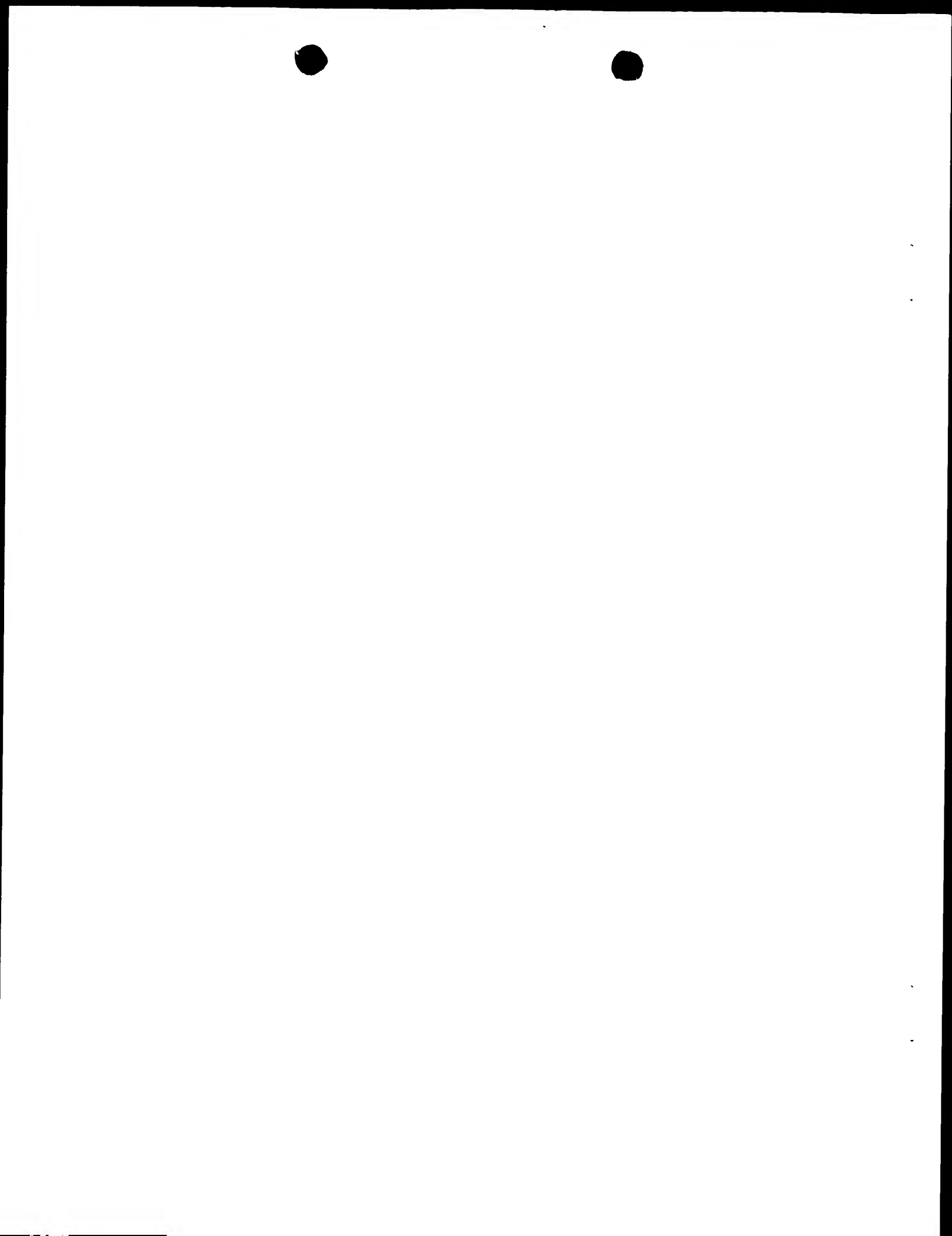
第 6 図



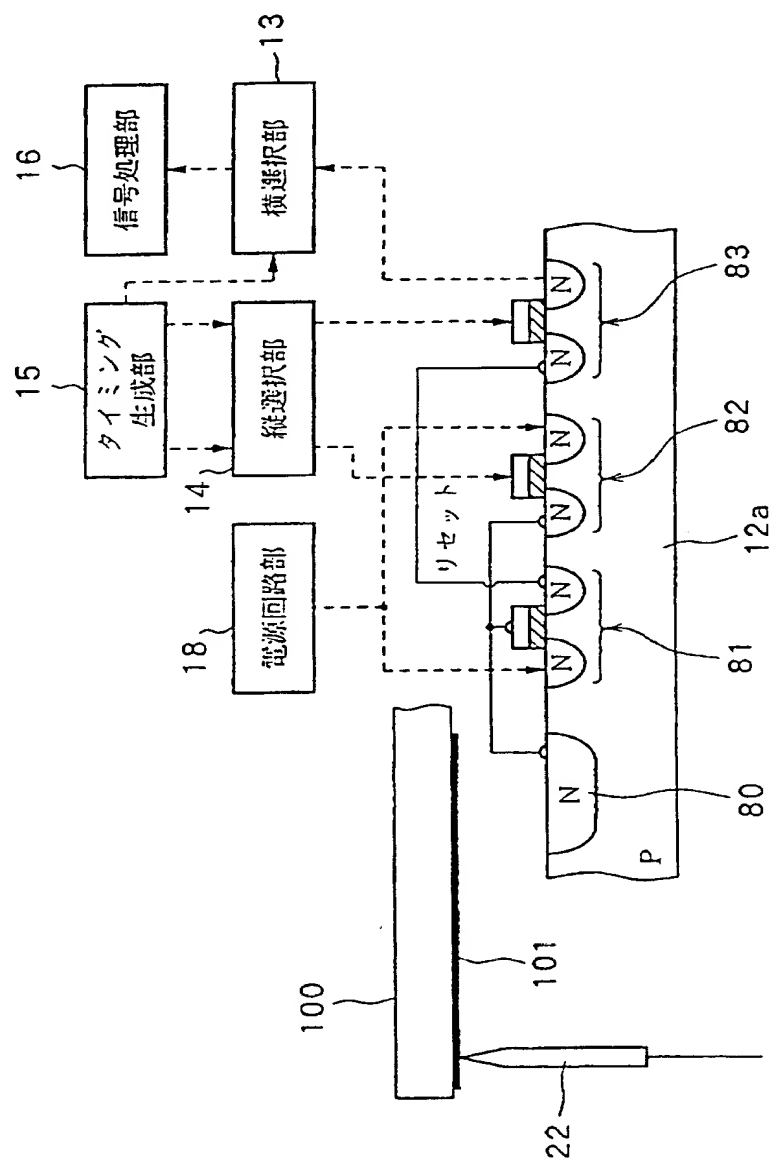


第7図

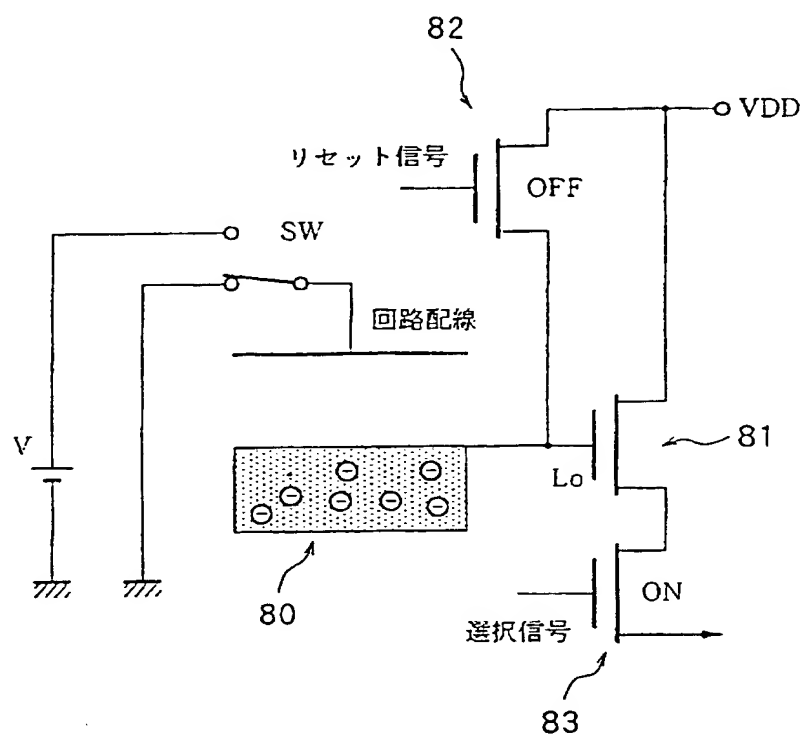




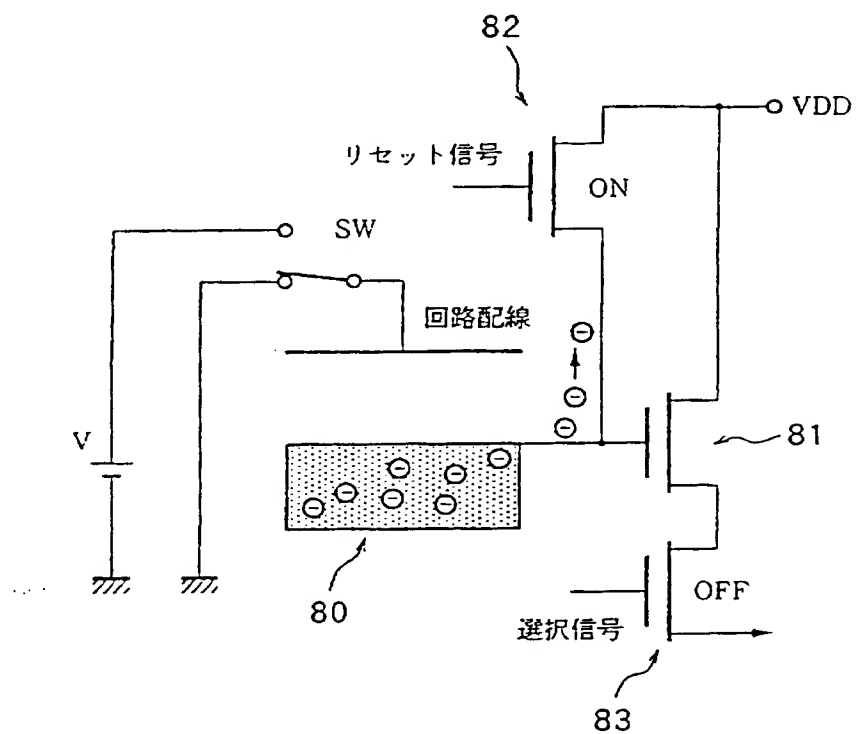
第8図



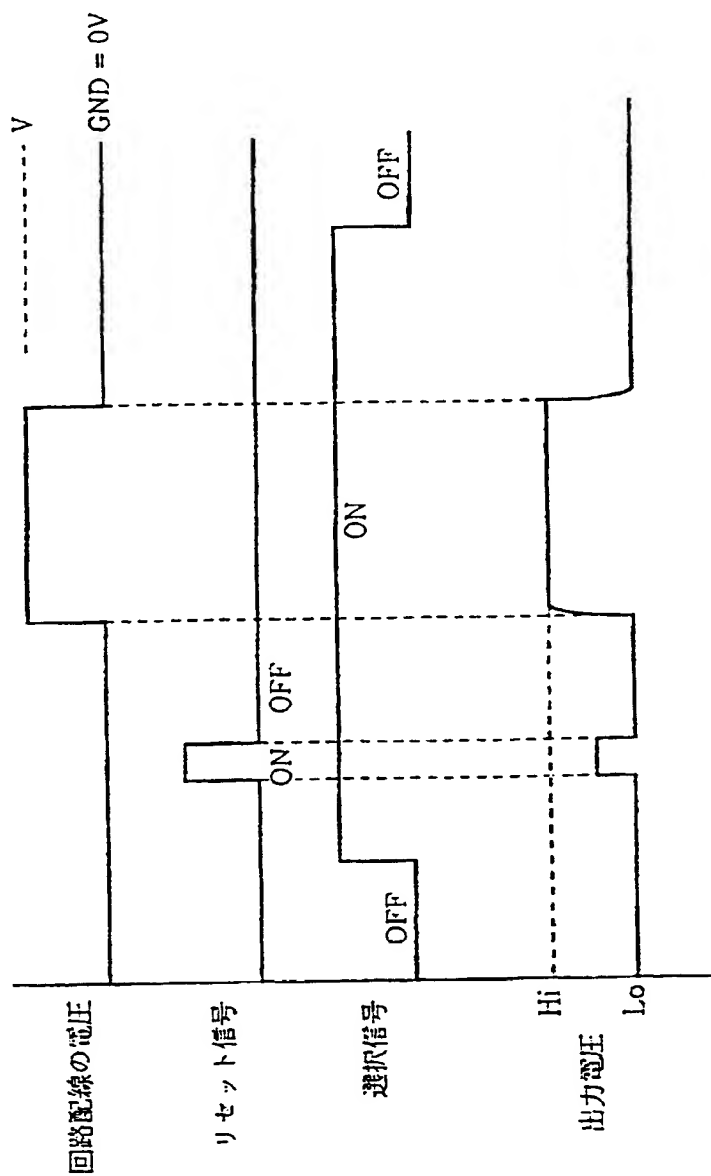
第9図

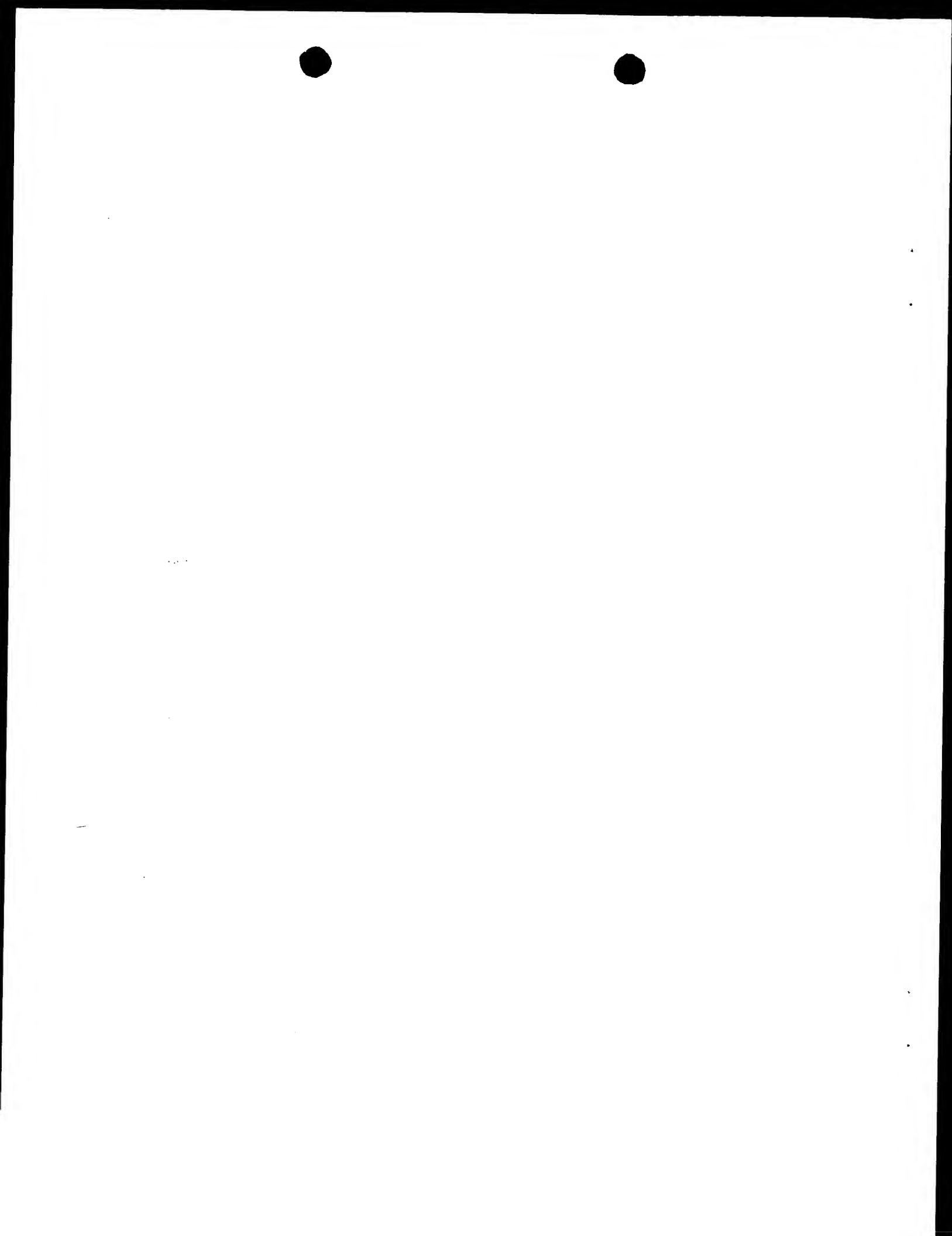


第 1 1 図

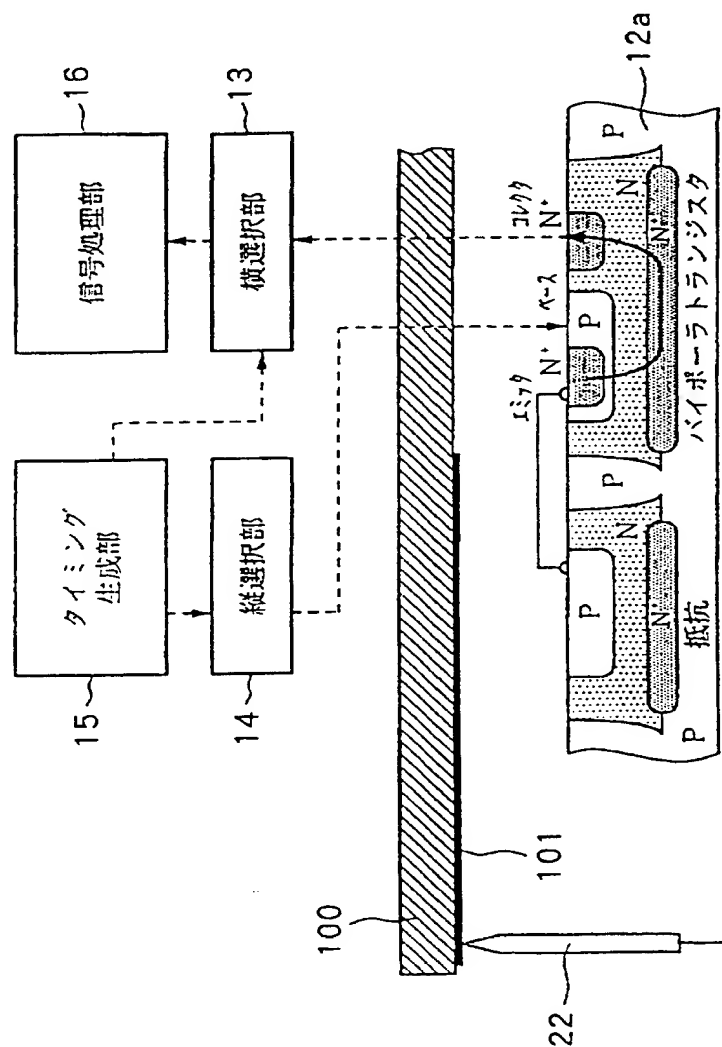


第 1 2 図

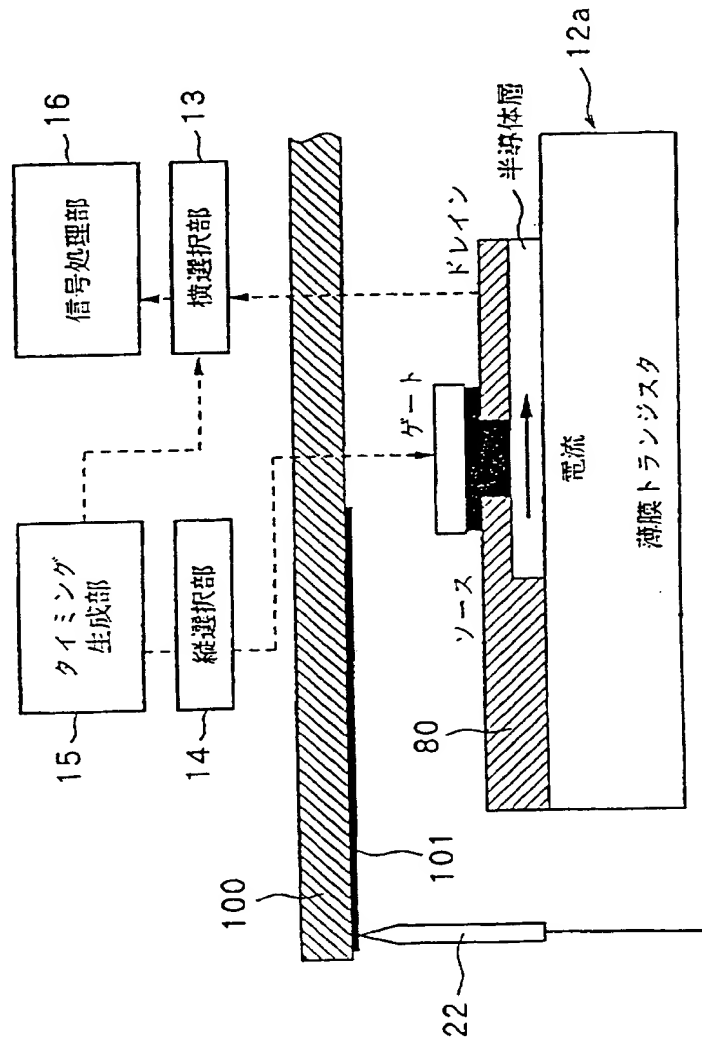




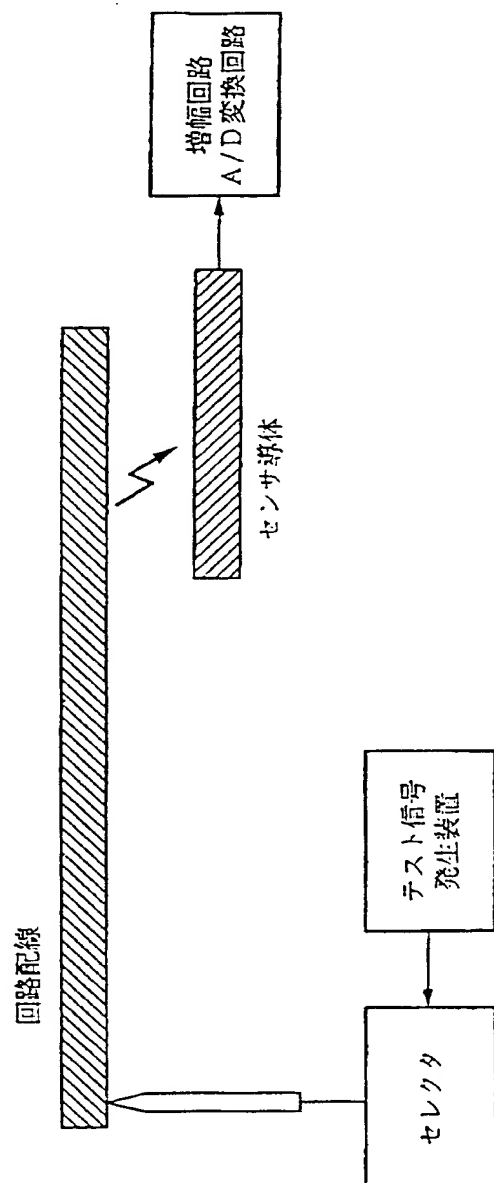
第13図



第 1 4 図

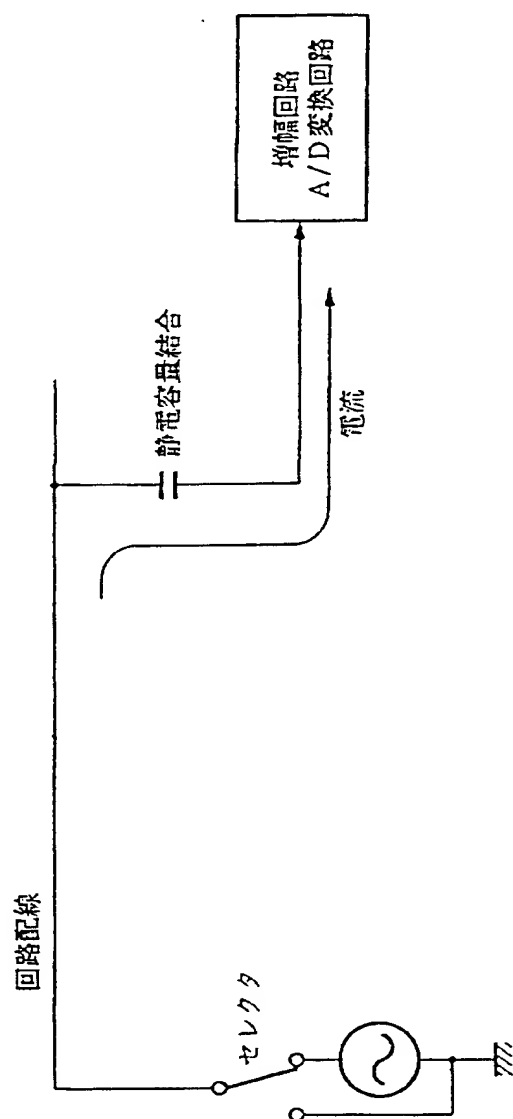


第 1 5 図





第 16 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/01243

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G01R 31/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R 31/02 , 1/06-1/067, H05K3/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-153638, A (Nihon Densan Riido K.K.), 06 August, 1999 (06.08.99), Full text; Fig. 1 (Family: none)	1-14
A	US, 5254953, A (Hewlett-Packard Company), 19 October, 1993 (19.10.93), Full text; Figs. 1, 5 & JP, 6-34714, A & EP, 573159, A	1-14
A	US, 5426372, A (GenRad, Inc.), 20 June, 1995 (20.06.95), Full text; Figs. 2, 7 & JP, 7-167906, A & EP, 636887, A	1-14

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2001 (02.05.01)Date of mailing of the international search report
15 May, 2001 (15.05.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ G 01 R 31/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G 01 R 31/02, 1/06-1/067, H 05 K 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>A</u>	J P, 11-153638, A (日本電産リード株式会社) 6. 8月. 1999 (06. 08. 99) 全文, 第1図 (ファミリーなし)	<u>1-14</u>
<u>A</u>	US, 5254953, A (Hewlett-Packard Company) 19. 10月. 1993 (19. 10. 93) 全文, 第1図, 第5図 & J P, 6-34714, A & E P, 573159, A	<u>1-14</u>

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02. 05. 01

国際調査報告の発送日

15.05.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾崎 淳史

2 T

8907

電話番号 03-3581-1101 内線 6230

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>A</u>	US, 5 4 2 6 3 7 2, A (GenRad, Inc.) 20. 6月. 1995 (20. 06. 95) 全文, 第2図, 第7図 & JP, 7-167906, A&EP, 636887, A	<u>1-14</u>